

# Semicustom Schaltungen

Typ	Verwendungsart	Bild	Bestell-Nr.	Min. Stück	Preise in DM je Stück	
					bis 24	25 bis 99
<b>Gate Arrays</b>						
● SH 133 C0 1	1-GHz-D-Flipflop – Flatpackgeh. FP 24 C	31	Q67000-H7036	1	68,60	58,80
● SH 133 C0 116	– Keramikgeh. C-DIP-16	20	Q67000-H2878	1	42,—	36,—
● SH 133 C0 116 SO	– Kunststoffgeh. P-DSO-14	28	Q67000-H3070	1	35,—	30,—
● S 360 B 110	Zähler Baustein Kunststoffgeh. P-DIP-40	22	Q67000- Y555-V110	1	81,20	69,90
● S 360 B 114	P-DIP-28	16	Q67000- Y555-V114	1	64,40	55,20

Die Preisangaben sind ohne Mehrwertsteuer, bei Wiederverkauf nur unverbindliche Preisempfehlungen.

# Semicustom-Schaltungen

Um integrierte Schaltungen in kurzer Zeit kostengünstig und in relativ kleinen Stückzahlen herzustellen, werden Semicustom-Schaltungen angeboten. Diese arbeiten entweder nach dem Masterslice-System (Gate Arrays), d. h. die vorgefertigten integrierten Schaltungen werden durch eine zweilagige Verdrahtung auftragsgebunden hergestellt, oder

als Zellen-ICs, bei denen die Funktionen in einem Zellenkatalog vorentwickelt wurden und dem Entwickler zur Auswahl für seine Schaltung zur Verfügung gestellt werden. Eine Vorfertigung von Siliziumscheiben wie bei Gate Arrays ist beim letzteren Verfahren nicht möglich, da alle Fertigungsschritte durchlaufen werden müssen.

## Bipolare Gate Arrays (ECL)

Familie	SH 100 C 4 Grundtypen				SH 100 E 5 Grundtypen					SH 133 C Transistor- array	SH 807 E Transistor- array
	960	1600	2500	400	1300	2000	3300	6500	13000		
Gatterfunktionen (max.)										89 Transistoren 131 Widerstände	236 Transistoren 320 Widerstände 8 Kondensatoren
Metallisierungsebenen	2	3	3	2	2	2	3	3	3	2	2
Gatterlaufzeit	0,35 ns				0,13 ns					–	6 GHz
Taktfrequenz	750 MHz				2 GHz					1 GHz	2,8 Hz
Verlustleistung typ.	2,5 W	3,5 W	6,5 W	1,2 W	abhängig von der Wahl der Speed-/Power-Optionen					1 W	
Gehäuse	C-PGA-64		C-PGA-144	P-FP-24 C-PGA-64	C-PGA-88	C-PGA-144	C-PGA-235	C-PGA-319	P-DSO-14 C-DIP-16 P-FP-24	P-DSO-8 P-DSO-14 P-DSO-20 P-FP-24	
Versorgungsspannung	–4,5 V oder –5,2 V				3,3 V; –4,5 V; –5,2 V für ECL + 5 V für TTL					–4 bis –6 V	–4 bis –6 V
Anschlußkompatibilität	ECL 10 K, ECL 100 K				ECL 10 K, ECL 100 K, TTL LS*)					ECL 10 K	ECL 10 K/ 100 K
Realisierungshilfe	Zellbibliotheken Design Manual Zellensoftware								Spice-Parameter		

\*) Standardzellen; generierbare PAL, RAM, ROM, Analogzellen

# Semicustom-Schaltungen

## Standardschaltungen (bipolar)

Typ	Bestellnummer	Gehäuse	Funktion
<b>SH 360 B Familie</b>			
<b>S</b> S 360 B 110	Q67000-Y 555-V 110	P-DIP-40	Dreifach-16-bit-Vor-/Rückwärtszähler mit 8-bit-Datenbus
<b>S</b> S 360 B 110 C	Q67000-Y 555-C 110	C-DIP-40	
<b>S</b> S 360 B 114	Q67000-Y 555-V 114	P-DIP-28	Zweifach-16-bit-Zähler mit 32-bit-Latch-Funktions- und Kontrollogik

## SH 133 C Familie

SH 133 C 01	Q67000-H 2879	P-FP-24-C	Zweifach-ECL Master-Slave-D-Flipflop für Taktfrequenzen bis 1 GHz
SH 133 C 0116	Q67000-H 2878	C-DIP-16	Einfach-ECL Master-Slave-D-Flipflop für Taktfrequenzen bis 1 GHz kompatibel zu Fairchild 11 C 06
SH 133 C 0116-SO	Q67000-H 3070	P-DSO-14	

## SH 807 E Familie

SH 807 E 01	Q67000-H 7076	P-DSO-20	2,5 Gbit/s 4:1 Multiplexer
SH 807 E 02	Q67000-H 7077	P-DSO-20	2,5 Gbit/s 1:4 Demultiplexer

# CMOS – Semicustom-Schaltungen

Diese werden kompatibel als Gate Arrays und Zellen-ICs angeboten.

## Familie SCxB in 2 $\mu$ -CMOS-Technologie

Bezeichnung	Gate Arrays								Zelldesigns
	SC1B	SC1.5B	SC2B	SC3B	SC4B	SC6B	SC8B	SC10B	SC0B
Gatterfunktionen (max.)	1000	1500	2000	3000	4000	6000	8000	10000	bis 20000*)
Anschlüsse (max.)	50	64	74	94	120	144	162	180	bis 280
davon Logik-Pads (max.)	46	60	70	90	112	136	150	168	bis 256
Gatterlaufzeit (typ.)	1,5 ns								
Togglefrequenz (max.)	100 MHz								
Taktfrequenz (max.)	40 MHz								
Versorgungsspannung	3 V bis 6 V								
Gehäuse	C-DIP, P-DIP, PL-CC, PGA, P-QFP								
Anschlußkompatibilität	TTL-LS oder 5 V CMOS								

## Familie SCxC in 1,5 $\mu$ -CMOS-Technologie

Bezeichnung	Gate Arrays (Sea of Gates)				Zelldesigns
	SC6C	SC12C	SC20C	SC60C	SC0C**)
Gatterfunktionen (max.)	6000	12000	20000	60000	bis >100000*)
Anschlüsse (max.)	88	124	160	272	bis 320
davon Logik-Pads (max.)	82	118	148	256	bis 256***)
Gatterlaufzeit (typ.)	0,7 ns				
Togglefrequenz (max.)	200 MHz				
Taktfrequenz (max.)	80 MHz				
Versorgungsspannung	3 V bis 6 V				
Gehäuse	C-DIP, P-DIP, PL-CC, PGA, P-QFP				
Anschlußkompatibilität	TTL-LS oder 5 V CMOS				

\*) Standardzellen; generierbare PAL, RAM, ROM, Analogzellen

\*\*\*) Zellbibliothek: ADVANCELL® kompatibel mit TOSHIBA und General Electronic, Second Source bei TOSHIBA

\*\*\*\*) nach Sondereinbarung auch mehr

# CMOS – Semicustom-Schaltungen

## Familie SCxD in 1,0 $\mu$ -CMOS-Technologie (In Entwicklung)

Bezeichnung	Gate Arrays (Sea of Gates)							Zelldesigns
	SC5D	SC8D	SC13D	SC40D	SC75D	SC130D	weitere Master in Planung	SC0D**)
Gatterfunktionen (max.)	3000	8000	13000	40000	75000	130000		>100000*)
Anschlüsse (max.)	68	84	104	172	240	308		bis 320
davon Logik-Pads (max.)	64	84	96	164	228	256***)		bis 258***)
Gatterlaufzeit (typ.)	0,6 ns							
Togglefrequenz (max.)	250 MHz							
Taktfrequenz (max.)	100 MHz							
Versorgungsspannung	3 V bis 6 V							
Gehäuse	C-DIP, P-DIP, PL-CC, PGA, P-QFP							
Anschlußkompatibilität	TTL-LS oder 5 V CMOS							
Realisierungshilfen	Grundspezifikation der Masterslices Zellbibliothek Entwurfssystem VENUS®-S4 Logiksimulationsprogramme							

\*) Standardzellen; generierbare PAL, RAM, ROM, Analogzellen

\*\*) Zellbibliothek: ADVANCELL® kompatibel mit TOSHIBA und General Electronic, Second Source bei TOSHIBA

\*\*\*) nach Sondervereinbarung auch mehr