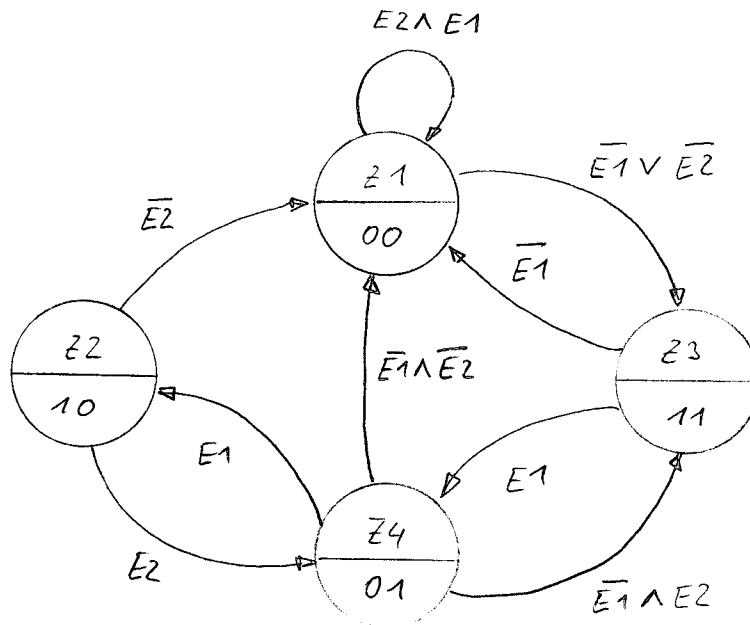


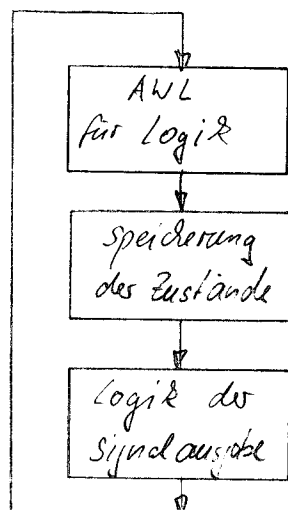
# Realisierung von Moore-Automaten in AWL



Automatentabelle:

Ausgangszustand	Übergangsbed.	Zielzustand
Z1	$\bar{E}1 + \bar{E}2$	Z3
Z1	$E1 \cdot E2$	Z1
Z2	$\bar{E}2$	Z1
Z2	$E2$	Z4
Z3	$\bar{E}1$	Z1
Z3	$E1$	Z4
Z4	$\bar{E}1$	Z2
Z4	$\bar{E}1 \cdot E2$	Z3
Z4	$\bar{E}1 \cdot \bar{E}2$	Z1

Struktur des AWL



geg.: Eingänge E1 - E2

Ausgänge A1 - A2

Zustände Z1 - Z4  $\leadsto 2^n$ ; mit  $n=1$  Messer!

ZB.: Z1: M1 = 0 M2 = 0

Z2: M1 = 1 M2 = 0

Z3: M1 = 0 M2 = 1

Z4: M1 = 1 M2 = 1

Beachte!

nicht identisch mit Ausgang

### Wahrheitstabelle der Zustände

	M1	M2	E1	E2	M3	M4
Z1	0	0	0	X	0	1
	0	0	X	0	0	1
	0	0	1	1	0	0
Z2	1	0	X	0	0	0
	1	0	X	1	1	1
Z3	0	1	0	X	0	0
	0	1	1	X	1	1
Z4	1	1	1	X	1	0
	1	1	0	1	0	1
	1	1	0	0	0	0

### Wahrheitstabelle der Signalausgabe

M1	M2	A1	A2
0	0	0	0
1	0	1	0
0	1	1	1
1	1	0	1

Beachte Unterscheid.

Ausgänge können anders kodiert sein!

### Logikfunktionen:

$$\begin{aligned}
 M3 &= (M1 \wedge \bar{M2} \wedge E2) \vee (\bar{M1} \wedge M2 \wedge E1) \vee (M1 \wedge M2 \wedge E1) \\
 M4 &= (\bar{M1} \wedge \bar{M2} \wedge \bar{E1}) \vee (\bar{M1} \wedge \bar{M2} \wedge \bar{E2}) \vee (M1 \wedge \bar{M2} \wedge \bar{E2}) \vee \\
 &\quad (\bar{M1} \wedge M2 \wedge E1) \vee (M1 \wedge M2 \wedge \bar{E1} \wedge E2)
 \end{aligned}
 \left. \vphantom{\begin{aligned} M3 \\ M4 \end{aligned}} \right\} \text{AWL für Logik}$$

$$M1 = M3$$

$$M2 = M4$$

$$A1 = (M1 \wedge \bar{M2}) \vee (\bar{M1} \vee M2)$$

$$A2 = (\bar{M1} \wedge M2) \vee (M1 \wedge M2) = M2$$

Speichern d. Zustände

Logik der Signalausg.

Vereinfachungen:

$$M3 = (M1 \wedge \bar{M2} \wedge E2) \vee (M2 \wedge E1)$$

$$\begin{aligned} M4 &= (M1 \wedge \bar{M2} \wedge E2) \vee \\ & \quad (\bar{M1} \wedge \bar{M2} \wedge \bar{E2}) \vee \\ & \quad (\bar{M1} \wedge M2 \wedge E1) \vee \\ & \quad (\bar{M1} \wedge \bar{M2} \wedge \bar{E1}) \vee \\ & \quad (M1 \wedge \bar{E1} \wedge E2) \end{aligned}$$

AWL

U M1  
UN M2  
U E2  
O (  
U M2  
U E1  
)  
= M3

U M1  
UN M2  
UN E2  
O (  
UN M1  
UN M2  
UN E2  
)  
O (  
UN M1  
U M2  
U E1  
)  
O (  
UN M1  
UN M2  
UN E1  
)  
O (  
U M1  
UN E1  
U E2  
)  
= M4

U M3  
= M1  
U M4  
= M2

} Speicherung

U M1  
UN M2  
O (  
UN M1  
U M2  
)  
= A1  
U M2  
= A2  
EN.

} Signal ausgabe