

品番 / Item No

MN25664P

DS23127

Rev.	Spec. No.	Date(M-D-Y)
0	P-R	Mar-10-05
1	P-R1	Mar-28-05
2	P-R2	Mar-29-05
3	P-R3	Apr-11-05
4	P-R4	May-06-05
5	P-R5	Jun-01-05
6	P-R6	Jun-10-05
7	P-R7	Nov-21-05

適用規格 / Application standard	規格No. / Standard No.
蛍光表示管信頼性試験規格 Reliability Test Condition	TT-03-3065A
蛍光表示管納入規格 Quality Specification	TT-93-3336D

絶対最大定格 / Absolute Maximum Ratings

項目 Parameter	記号 Symbol	端子 Terminal	定格 Ratings	単位 Unit
フィラメント電圧 Filament Voltage	1) Ef	F1, F2	7.8	Vac
ロジック電源電圧 Logic Supply Voltage	2) VDD1	VDD1	-0.3~4.7	Vdc
ディスプレイ電源電圧 Display Supply Voltage	2) VDD2	VDD2	-0.3~60	Vdc
入力電圧 Input Voltage	2) VIN	SI1, SI2, SI3, SI4, CLK, LAT, BK, GCP, DTENA	V _{ss} -0.3~VDD1+0.3	V
出力電圧 Output Voltage	2) VOUT	SO1, SO2, SO3, SO4	V _{ss} -0.3~VDD1+0.3	V
保存温度 Storage Temperature	Ts	-	-50~+85	°C

Notes:

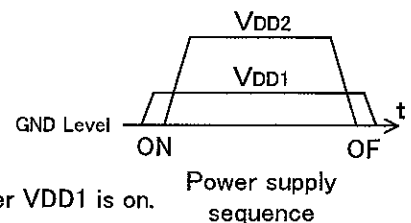
- 1) 交流50Hzまたは60Hzの実効値。 / Effective value of AC 50 or 60Hz.
- 2) V_{ss}=0Vを基準とした値。 / Voltages based V_{ss} =0V

推奨動作条件 / Recommended Operating Conditions

項目 Parameter	記号 Symbol	端子 Terminal	定格 / Ratings			単位 Unit
			MIN	TYP	MAX	
フィラメント電圧 Filament Voltage	1) Ef	F1, F2	6.0	6.5	7.2	Vac
ロジック電源電圧 Logic Supply Voltage	2) VDD1	VDD1	3.0	3.3	3.6	Vdc
ディスプレイ電源電圧 Display Supply Voltage	2), 3), 4) VDD2	VDD2	45.0	55.0	58.0	Vdc
フィラメントバイアス電圧 Filament Bias Voltage	Ek	-	7.0	-	-	Vdc
動作環境温度 Operating Temperature	To	-	-40	-	+85	°C

Notes:

- 1) 交流50Hzまたは60Hzの実効値。 / Effective value of AC 50 or 60Hz.
- 2) 電源シーケンス / Power Supply Sequence
VDD2の印加中は、VDD1をフローティング又は、3V未満にしないこと。
VDD1 should be applied and higher than 3V when applying VDD2.
VDD2の電源投入はVDD1と同時またはVDD1の投入後であること。
VDD1 and VDD2 should be on at the same time, or VDD2 should be on after VDD1 is on.
VDD1の電源遮断はVDD2と同時またはVDD2の遮断後であること。
VDD1 and VDD2 should be off at the same time, or VDD1 should be off after VDD2 is off.
- 3) 電流逆流防止のためダイオードを挿入して下さい。
 / Avoiding reverse current, diode to be connected in series
- 4) 電流制限抵抗RD=22Ωの挿入をお勧めします。 / RD=22Ω to be connected in series.



電気的光学的特性 / Electrical and Optical Characteristics

At typical operating condition, all segments turned on, fCLK=4.0MHz, Ef=6.5Vac, VDD1=3.3Vdc, VDD2=55Vdc, Vss=0V unless otherwise noted.

項目 Parameter	記号 Symbol	点灯試験条件 Test Condition	定格 / Ratings			単位 Unit
			MIN	TYP	MAX	
フィラメント電流 Filament Current	If	VDD1=VDD2=0V	317.0	352.0	387.0	mAac
ロジック電源電流 Logic Supply Current	IDD1	fCLK=4.0MHz VDD1=3.3Vdc	—	4.0	8.0	mA
ディスプレイ電源電流 Display Supply Current	IDD2	Average from T1 to T64	—	50.0	75.0	mA
Hレベル入力電圧 H-Level Input Voltage	VIH		VDD1 × 0.8	—	VDD1	V
Lレベル入力電圧 L-Level Input Voltage	VIL		Vss	—	VDD1 × 0.2	V
Hレベル入力電流 H-Level Input Current	IIH	VIH=VDD1	-0.1	—	0.1	μA
Lレベル入力電流 L-Level Input Current	IIL	VIL=Vss VDD1=3.3Vdc	-100	-40.0	-20	μA
輝度 Luminance	L [G]	Ta=20°C tp/TR=1/66	350	(700)	—	cd/m ²
発光色 Color of illumination	Green [G]					

Notes:

- 1) ES検証後、値を見直すことがあります。予めご了承ください。
The value of If, IDD2 and IDD1 will be reviewed after evaluating of E/S.
- 2) ()の数値は参考値(基準値)とする。
(): Reference Only.

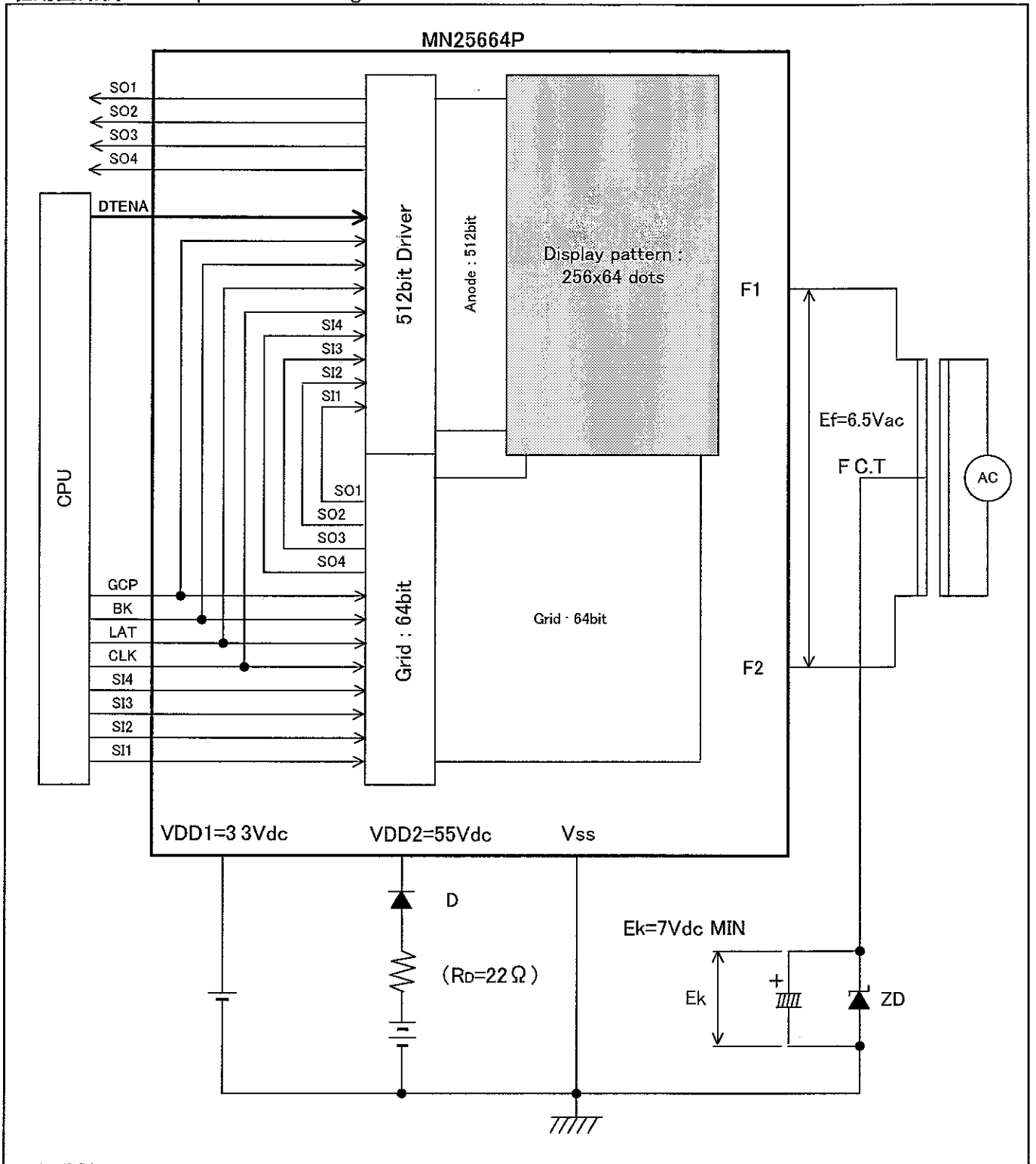
お取り扱い上のご注意 / Caution

- 電源投入後、表示させる前にシフトレジスタ内部とラッチされている出力を必ず消去して下さい。特に高温時において、ちらつきの原因となることがあります。
After turning on the VFDs, clear shift register and latch before display pattern is appeared. Unexpected working may be happened, especially, under high temperature condition.
- 半導体を使用した製品であり、自他の発熱等の温度上昇により誤動作することがあります。ご使用に当っては放熱にご配慮下さい。
Avoiding unexpected working because of rising environmental temperature, consider to dissipate the heat.
- 半導体製品ですので静電気には十分ご注意ください。故障の原因になります。
Precautions should be taken to minimize the possibility of static charges occurring during handling and assembly of the VFDs.
- 蛍光体焼きつき防止のため、固定表示を避け、スクロールやスクリーンセイバー、スリープモード等の機能を加えてのご使用をお勧めします。
Avoiding burn-in problem because of fixed pattern, scroll, screen saver or sleep functions are recommended

お断り / Announcement

製品改良の為、仕様書の内容をお断りなく変更することがあります。予めご了承下さい。
This specification is subject to change without notice

驅動回路例 / Example of Block Diagram and Drive Circuit



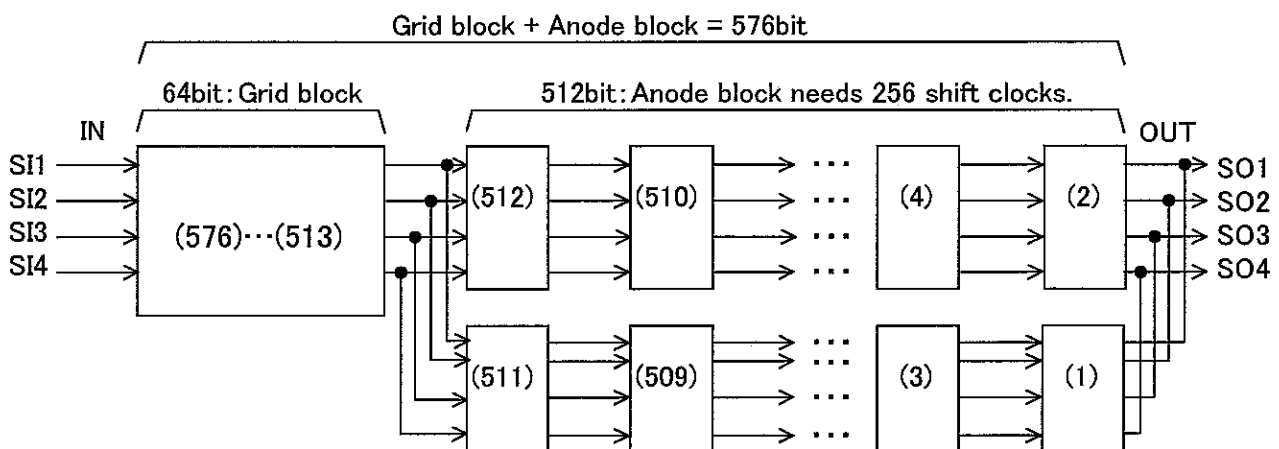
端子機能説明 / Function Table

記号 Symbol	機能 Function	説明 Description
CLK	クロック入力端子 Shift Register Clock Pin	立ち上がりでデータ取り込み。 The serial data at the rising edge is read by the Shift Register. プルアップ抵抗内蔵 Internal Pull-High resistor
SI1, SI2, SI3, SI4	データ入力端子 Serial Data Input Pin	H: ON (High Level) L: OFF (Low Level) プルアップ抵抗内蔵 Internal Pull-High resistor
LAT	ラッチパルス入力端子 Data Latch Control Pin	立ち下がりで表示出力。 The Shift Register data is put on hold at the falling edge. プルアップ抵抗内蔵 Internal Pull-High resistor
BK	ブランキング入力端子 Display Blanking Pin	H: Display OFF L: Display ON プルアップ抵抗内蔵 Internal Pull-High resistor
DTENA	データイネーブル入力端子 Data Enable pin	1) See below Internal Pull-High resistor
GCP	階調発生用クロック入力端子 Grayscale Control Pulse Pin	Sheet 7/13をご参照ください。 Refer to Sheet 7/13. プルアップ抵抗内蔵 Internal Pull-High resistor
Vss	GND端子 Ground Pins	Ground Level = 0V
F1, F2	フィラメント電圧入力端子 Filament Voltage Input Pin	6.5Vac TYP
VDD1	ロジック系電源端子 Logic Supply Voltage Input Pin	3.3Vdc TYP
VDD2	ディスプレイ電源電圧入力端子 Display Supply Voltage Input Pin	55Vdc TYP
SO1, SO2, SO3, SO4	データ出力端子 Serial Data Output Pin	グリッドスキャン監視に限り使用可。 For grid scan watch dog use only.
NP	ノーピン No Pins	ピンはありません。 There is no pin.

Note:

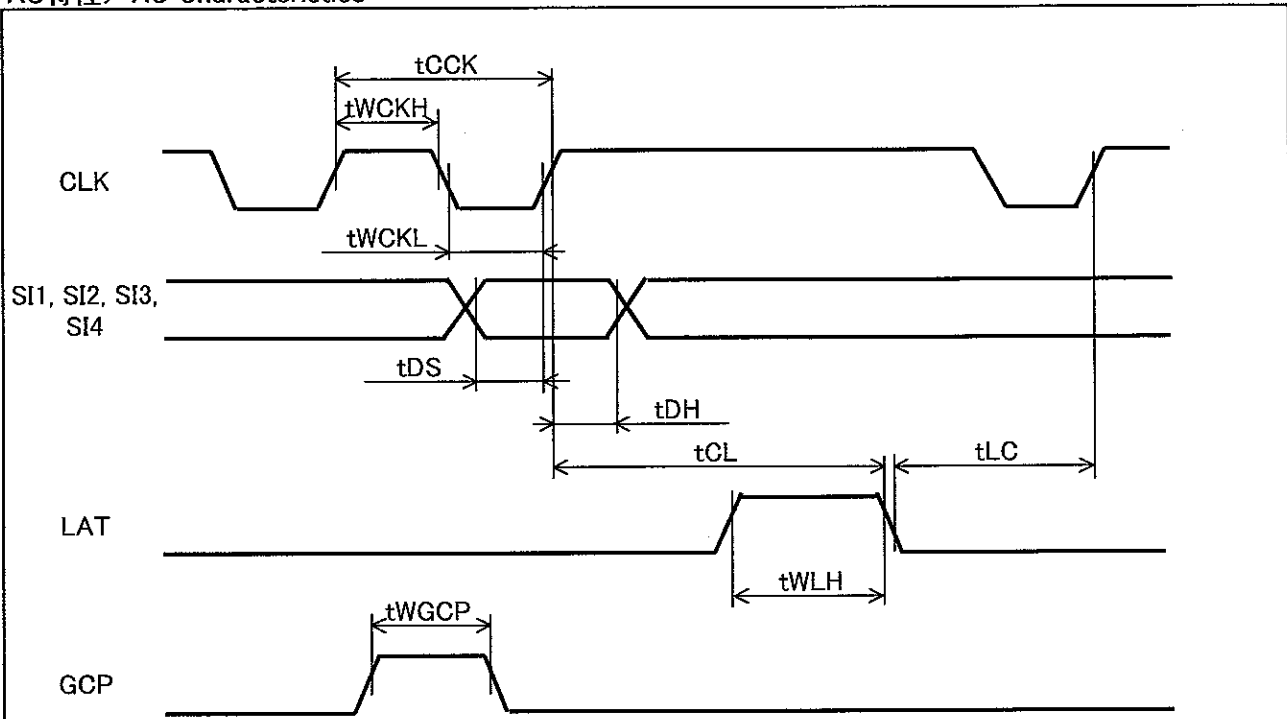
1) DTENA: 奇数偶数ビット出力ON/OFF制御 Control of Even&Odd-numbers bit

Signal Input	DTENA	
	Hi	Low
Output	Even-numbers Low 偶数ビット出力オフ (Refer to Sheet 8/13)	Odd-numbers Low 奇数ビット出力オフ (Refer to Sheet 9/13)



*この信号はグリッドブロックに影響を及ぼしません。
DTENA does not affect grid block.

AC特性 / AC Characteristics



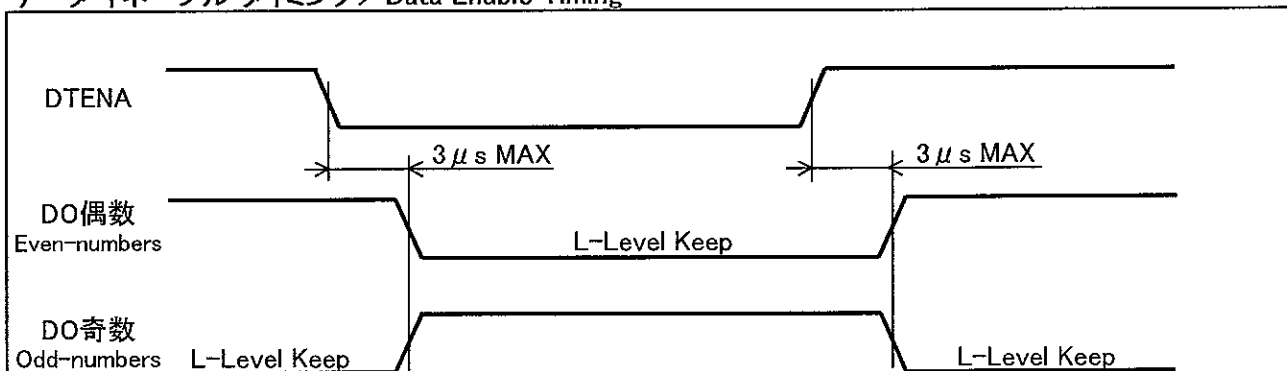
入カタイミング	Input timing		Symbol	MIN	TYP	MAX	Unit
CLK周期	Clock cycle	*1	tCCK	200	—	—	ns
CLK高レベルパルス幅	Clock H-level pulse width	*1	tWCKH	80	—	—	ns
CLK低レベルパルス幅	Clock L-level pulse width	*1	tWCKL	80	—	—	ns
データセットアップ時間	Data setup time	*1	tDS	40	—	—	ns
データホールド時間	Data hold time	*1	tDH	40	—	—	ns
LAT高レベル幅	Latch H-level width	*1	tWLH	160	—	—	ns
CLK-LAT遅延時間 (モノラル動作時)	CLK-LAT delay time (for monaural operation)	*1	tCL	3.41	—	—	μs
LAT-CLK遅延時間	LAT-CLK delay time	*1	tLC	60	—	—	ns
GCP高レベルパルス幅	GCP H-level pulse width	*1	tWGCP	500	—	—	ns

*1: Rising edge time and edge time should be less than 10ns.

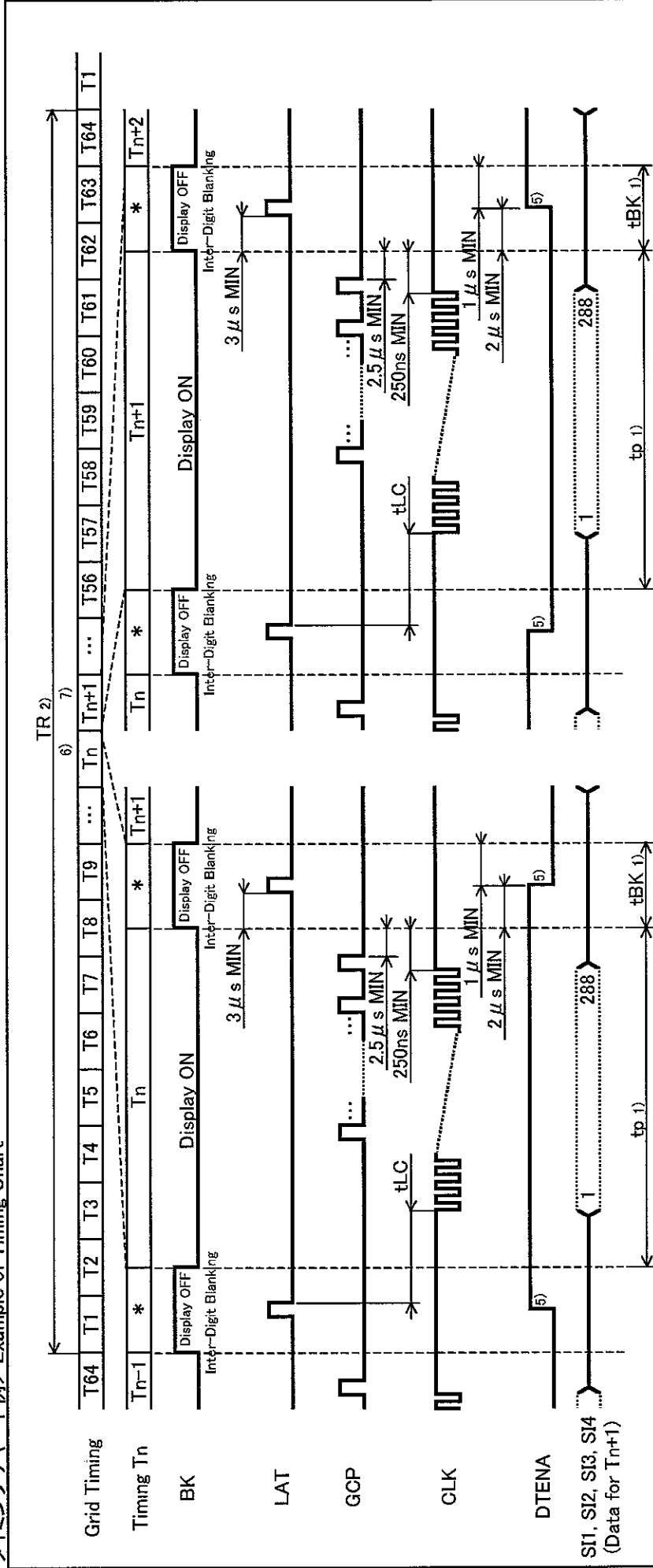
Notes:

- 誤動作防止のため、下記をご注意ください。
 - データ書き込み時を除き、CLKはHレベルであること。
 - LATがHレベル且つBKがLレベルの時、CLKをL→Hレベルに変えないこと。
 Keep the following notice to avoid data error
 - Keep CLK H-level in principle.
 - Do not change CLK L→H while LAT is H and BK is L.
- LATは、パルス幅は最小限とし、桁間ブランキング時(BK=H)に入れて下さい。
 タイミングチャートをご参照下さい。
 LAT pulse (LAT=H) width should be minimize and input while inter-digit blanking (BK=H).
 Refer to Timing Chart.

データ イネーブル タイミング / Data Enable Timing



タイミングチャート例 / Example of Timing Chart



Notes:

- 1) "tp"および"tBK"は、"TR"一周期内で一定であること。(輝度を一定に保つ場合)
The tp and tBK should be settled in one period of TR .
- 2) ちらつき防止の為、スキャンレート(1/TR)は120Hz以上を推奨します。
120Hz or higher frequency of refresh rate (1/TR) is recommended to avoid display flickering.
- 3) グリッドスキャン停止を避けてください。VFDが故障する原因になります。
Avoid stopping Grid Scan. It may cause permanent damage to VFD.
- 4) BKパルス(BK=H)幅を変化させ輝度を落す場合は、CLKとBKの関係に従ってください。
Refer to timing rule between CLK and BK when dimming the luminance intensity by controlling/extending BK=H pulse width.
- 5) 漏れ発光およびIDD2の余分な突入電流を回避するため、このタイミングを維持してください。
To keep this timing avoids ghost illumination and extra rush current of IDD2.
- 6) $Tn: T2, T4, T6, \dots, T60$ and $T64$ (偶数タイミング / Timing of Even-Numbers)
- 7) $Tn+1: T1, T3, T5, \dots, T59, T61$ and $T63$ (奇数タイミング / Timing of Odd-Numbers)
- 8) 誤点灯防止のため各タイミング毎に桁間ブランキング(*)を入れてください。
Inter-digit blanking (*) to avoid ghost illumination in the next grid.

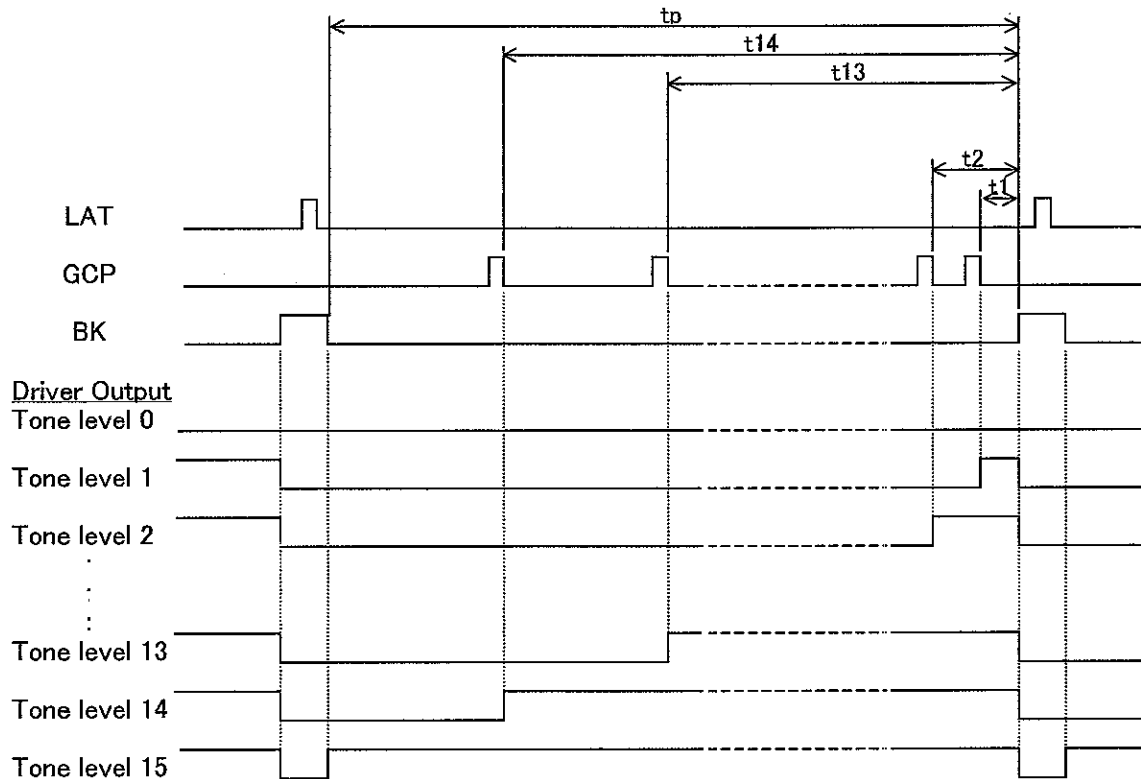
輝度階調機能 / Grayscale Function

階調レベル Tone Level	アノードデータ / Anode Data				輝度レベル Luminance Level	データ選択 / Data select 4)	
	SI1	SI2	SI3	SI4		Grid	Anode
0	L	L	L	L	0% (display off)	It can choose.	選択不可 It can not choose
1	H	L	L	L	about t1/tp % of level 15	選択可能 It can choose	
2	L	H	L	L	about t2/tp % of level 15		
3	H	H	L	L	about t3/tp % of level 15		
4	L	L	H	L	about t4/tp % of level 15		
5	H	L	H	L	about t5/tp % of level 15		
6	L	H	H	L	about t6/tp % of level 15		
7	H	H	H	L	about t7/tp % of level 15		
8	L	L	L	H	about t8/tp % of level 15		
9	H	L	L	H	about t9/tp % of level 15		
10	L	H	L	H	about t10/tp % of level 15		
11	H	H	L	H	about t11/tp % of level 15		
12	L	L	H	H	about t12/tp % of level 15		
13	H	L	H	H	about t13/tp % of level 15		
14	L	H	H	H	about t14/tp % of level 15		
15	H	H	H	H	100%		It can choose.

Example of tone (t14=14/15tp, t13=13/15tp, t12=4/5tp, ...t3=1/5tp, t2=2/15tp, t1=1/15tp)

Data No.	1	2	3	4	5	6	...	507	508	509	510	511	512
SI1	H	L	H	L	H	L	...	H	L	H	L	H	L
SI2	H	H	L	L	H	H	...	L	L	H	H	L	L
SI3	H	H	H	H	L	L	...	H	H	L	L	L	L
SI4	H	H	H	H	H	H	...	L	L	L	L	L	L
Tone Level	15	14	13	12	11	10	...	5	4	3	2	1	0
Luminance Level	100%	93%	87%	80%	73%	67%	...	33%	27%	20%	13%	7%	0%

GCP Timing and Tone Level



Notes:

- GCPによる輝度階調制御は、BKパルスを立ち上げることでリセットされます。
Tone level controls by GCP is reset by BK=↑ every timing.
- GCPのパルス条件は変化させないでください。
Do not change GCP condition every timing.
- 当社の機能検査では、目視にて階調モードが機能していることを確認します。
輝度階調により出力される輝度値は管理対象外とさせていただきます。
Inspection of our company inspects inspection in the tone mode visually. The luminosity value by tone control is the outside for management.
- グリッドデータは、階調レベル0または15のみ選択できます。
Grid data is restricted to the tone level 0 or the tone level 15.

シフトレジスタ割り当て順 / Shift Register Assignment

「DTENA = H」時のデータ出力 / Data Output when DTENA = H (Sheet 1/2)

上段 / Upper Row		データ番号 / Data No.		[シフトレジスタ1~4(SI1,SI2,SI3,SI4)共通] (SI1, SI2, SI3 and SI4 are common)											
下段 / Lower Row		割り当て / Assignment													
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1c	1d	1e	1f	2c	2d	2e	2f	3c	3d	3e	3f	4c	4d	4e	4f
17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
5c	5d	5e	5f	6c	6d	6e	6f	7c	7d	7e	7f	8c	8d	8e	8f
33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
9c	9d	9e	9f	10c	10d	10e	10f	11c	11d	11e	11f	12c	12d	12e	12f
49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64
13c	13d	13e	13f	14c	14d	14e	14f	15c	15d	15e	15f	16c	16d	16e	16f
65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80
17c	17d	17e	17f	18c	18d	18e	18f	19c	19d	19e	19f	20c	20d	20e	20f
81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96
21c	21d	21e	21f	22c	22d	22e	22f	23c	23d	23e	23f	24c	24d	24e	24f
97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112
25c	25d	25e	25f	26c	26d	26e	26f	27c	27d	27e	27f	28c	28d	28e	28f
113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128
29c	29d	29e	29f	30c	30d	30e	30f	31c	31d	31e	31f	32c	32d	32e	32f
129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144
33c	33d	33e	33f	34c	34d	34e	34f	35c	35d	35e	35f	36c	36d	36e	36f
145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160
37c	37d	37e	37f	38c	38d	38e	38f	39c	39d	39e	39f	40c	40d	40e	40f
161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176
41c	41d	41e	41f	42c	42d	42e	42f	43c	43d	43e	43f	44c	44d	44e	44f
177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192
45c	45d	45e	45f	46c	46d	46e	46f	47c	47d	47e	47f	48c	48d	48e	48f
193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208
49c	49d	49e	49f	50c	50d	50e	50f	51c	51d	51e	51f	52c	52d	52e	52f
209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224
53c	53d	53e	53f	54c	54d	54e	54f	55c	55d	55e	55f	56c	56d	56e	56f
225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240
57c	57d	57e	57f	58c	58d	58e	58f	59c	59d	59e	59f	60c	60d	60e	60f
241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256
61c	61d	61e	61f	62c	62d	62e	62f	63c	63d	63e	63f	64c	64d	64e	64f
257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272
G64	G63	G62	G61	G60	G59	G58	G57	G56	G55	G54	G53	G52	G51	G50	G49
273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288
G48	G47	G46	G45	G44	G43	G42	G41	G40	G39	G38	G37	G36	G35	G34	G33
289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304
G32	G31	G30	G29	G28	G27	G26	G25	G24	G23	G22	G21	G20	G19	G18	G17
305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320
G16	G15	G14	G13	G12	G11	G10	G9	G8	G7	G6	G5	G4	G3	G2	G1

Note:

G1 to G64 : Grid 1c, 1d, 1e, 1f to 64c, 64d, 64e, 64f : Anode
 DTENA does not affect grid block.

シフトレジスタ割り当て順 / Shift Register Assignment

「DTENA = L」時のデータ出力 / Data Output when DTENA = L (Sheet 1/2)

上段 / Upper Row		データ番号 / Data No.		[シフトレジスタ1~4(SI1,SI2,SI3,SI4)共通] (SI1, SI2, SI3 and SI4 are common.)											
下段 / Lower Row		割り当て / Assignment													
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1b	1a	1h	1g	2b	2a	2h	2g	3b	3a	3h	3g	4b	4a	4h	4g
17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
5b	5a	5h	5g	6b	6a	6h	6g	7b	7a	7h	7g	8b	8a	8h	8g
33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
9b	9a	9h	9g	10b	10a	10h	10g	11b	11a	11h	11g	12b	12a	12h	12g
49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64
13b	13a	13h	13g	14b	14a	14h	14g	15b	15a	15h	15g	16b	16a	16h	16g
65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80
17b	17a	17h	17g	18b	18a	18h	18g	19b	19a	19h	19g	20b	20a	20h	20g
81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96
21b	21a	21h	21g	22b	22a	22h	22g	23b	23a	23h	23g	24b	24a	24h	24g
97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112
25b	25a	25h	25g	26b	26a	26h	26g	27b	27a	27h	27g	28b	28a	28h	28g
113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128
29b	29a	29h	29g	30b	30a	30h	30g	31b	31a	31h	31g	32b	32a	32h	32g
129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144
33b	33a	33h	33g	34b	34a	34h	34g	35b	35a	35h	35g	36b	36a	36h	36g
145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160
37b	37a	37h	37g	38b	38a	38h	38g	39b	39a	39h	39g	40b	40a	40h	40g
161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176
41b	41a	41h	41g	42b	42a	42h	42g	43b	43a	43h	43g	44b	44a	44h	44g
177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192
45b	45a	45h	45g	46b	46a	46h	46g	47b	47a	47h	47g	48b	48a	48h	48g
193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208
49b	49a	49h	49g	50b	50a	50h	50g	51b	51a	51h	51g	52b	52a	52h	52g
209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224
53b	53a	53h	53g	54b	54a	54h	54g	55b	55a	55h	55g	56b	56a	56h	56g
225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240
57b	57a	57h	57g	58b	58a	58h	58g	59b	59a	59h	59g	60b	60a	60h	60g
241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256
61b	61a	61h	61g	62b	62a	62h	62g	63b	63a	63h	63g	64b	64a	64h	64g
257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272
G64	G63	G62	G61	G60	G59	G58	G57	G56	G55	G54	G53	G52	G51	G50	G49
273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288
G48	G47	G46	G45	G44	G43	G42	G41	G40	G39	G38	G37	G36	G35	G34	G33
289	290	291	292	293	294	295	296	297	298	299	300	301	302	303	304
G64	G31	G30	G29	G28	G27	G26	G25	G24	G23	G22	G21	G20	G19	G18	G17
305	306	307	308	309	310	311	312	313	314	315	316	317	318	319	320
G16	G15	G14	G13	G12	G11	G10	G9	G8	G7	G6	G5	G4	G3	G2	G1

Note:

G1 to G64 : Grid 1a, 1b, 1g, 1h to 64a, 64b, 64g, 64h : Anode
 DTENA does not affect grid block.

グリッドおよびアノードデータ表項 / Grid and Anode Data Protocol

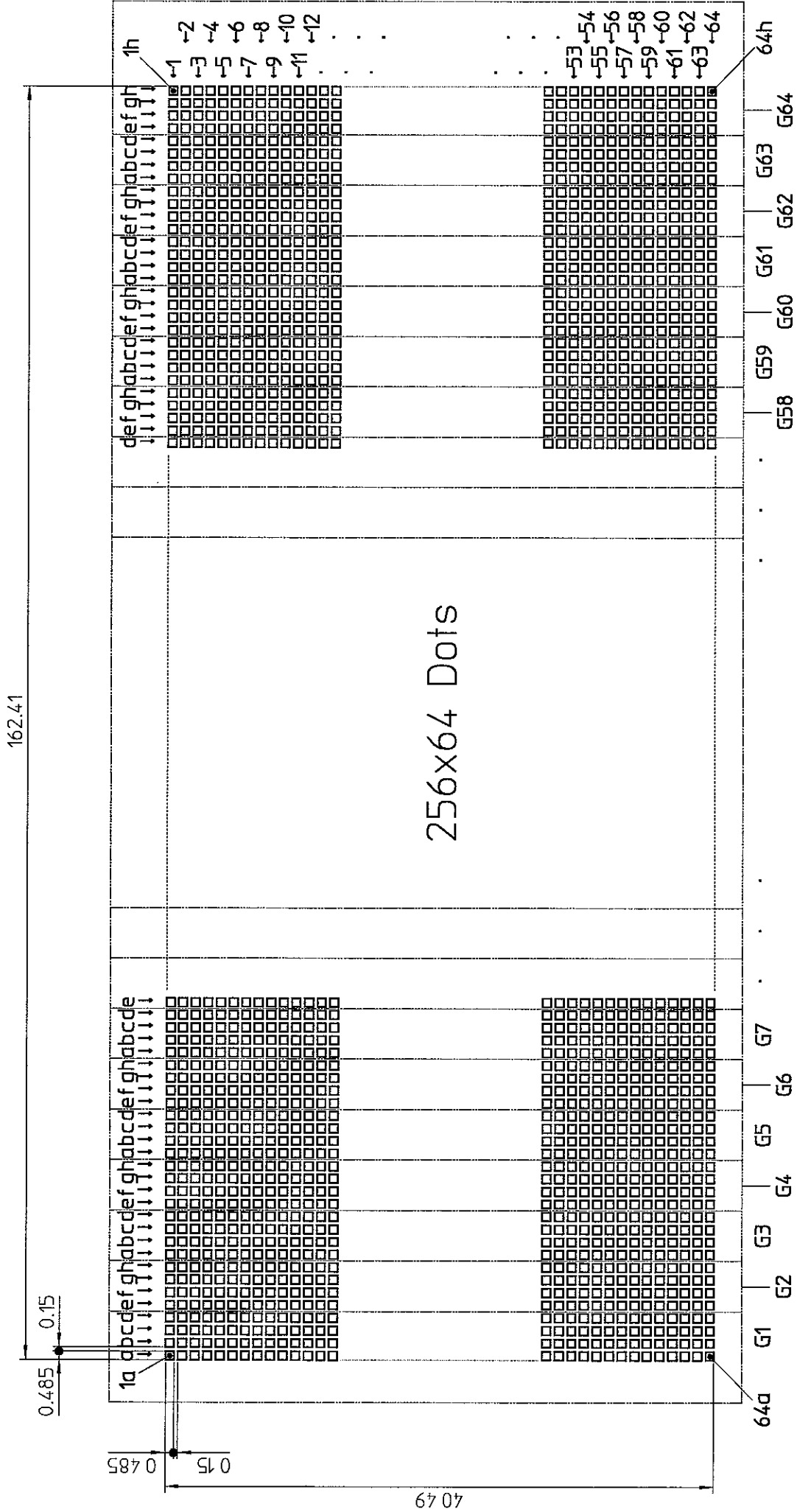
Grid Scan Timing	Grid Select	Grid Data																Anode Data Protocol		
		G1	G2	G3	G4	G5	G6	G7	G8	G9	...	G57	G58	G59	G60	G61	G62		G63	G64
T1	G64, G1	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	Note 2), 4)
T2	G1, G2	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1), 3)
T3	G2, G3	L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 2), 4)
T4	G3, G4	L	L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1), 3)
T5	G4, G5	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 2), 4)
T6	G5, G6	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1), 3)
T7	G6, G7	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L	L	L	Note 2), 4)
T8	G7, G8	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	L	Note 1), 3)
T9	G8, G9	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	L	Note 2), 4)
T10	G9, G10	L	L	L	L	L	L	L	L	H	H	L	L	L	L	L	L	L	L	Note 1), 3)
T57	G56, G57	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 2), 4)
T58	G57, G58	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1), 3)
T59	G58, G59	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 2), 4)
T60	G59, G60	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1), 3)
T61	G60, G61	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 2), 4)
T62	G61, G62	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1), 3)
T63	G62, G63	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 2), 4)
T64	G63, G64	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	Note 1), 3)

Notes:

- 1) タイミング内のc, d, e, f列ドット(1c~64c, 1d~64d, 1e~64e, 1f~64f)は選択可。このときDTENAは、“H”としてa, b, g, h列ドットをオフ。
Set data ON(H) or OFF(L) for anode group c (1c to 64c), group d (1d to 64d), group e (1e to 64e), and group f (1f to 64f) in the selected grids in this timing. Then DTENA should be H.
- 2) タイミング内のa, b, g, h列ドット(1a~64a, 1b~64b, 1g~64g, 1h~64h)は選択可。このときDTENAは、“L”としてc, d, e, f列ドットをオフ。
Set data ON(H) or OFF(L) for anode group a (1a to 64a), group b (1b to 64b), group g (1g to 64g), and group h (1h to 64h) in the selected grids in this timing. Then DTENA should be L.
- 3) 偶数ビット出力強制オフ時のデータマップは、Sheet 8/13をご参照ください。
Please refer to Sheet 8/13 for the data map when even-number turns off.
- 4) 奇数ビット出力強制オフ時のデータマップは、Sheet 9/13をご参照ください。
Please refer to Sheet 9/13 for the data map when odd-number turns off.
- 5) L = Low Level, H = High Level

ピン割り当て / Pin Assignment

Pin No.	1	2	3	4	5	6	7	8	9	10	11	12
Assignment	F1	F1	F1	NP	NP	VDD2	Vss	Vss	VDD1	BK	LAT	DTENA
Pin No.	13	14	15	16	17	18	19	20	21	22	23~87	
Assignment	GCP	SO3	SO2	SO1	CLK	SI1	SI2	SI3	SI4	SO4	NP	
Pin No.	88	89	90									
Assignment	F2	F2	F2									

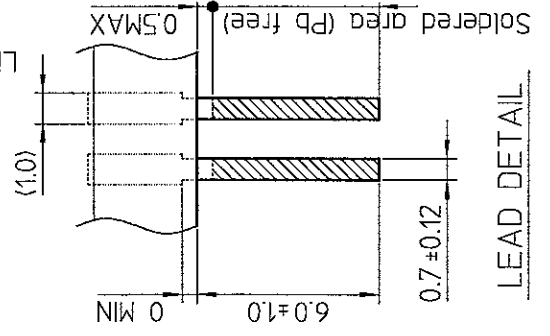
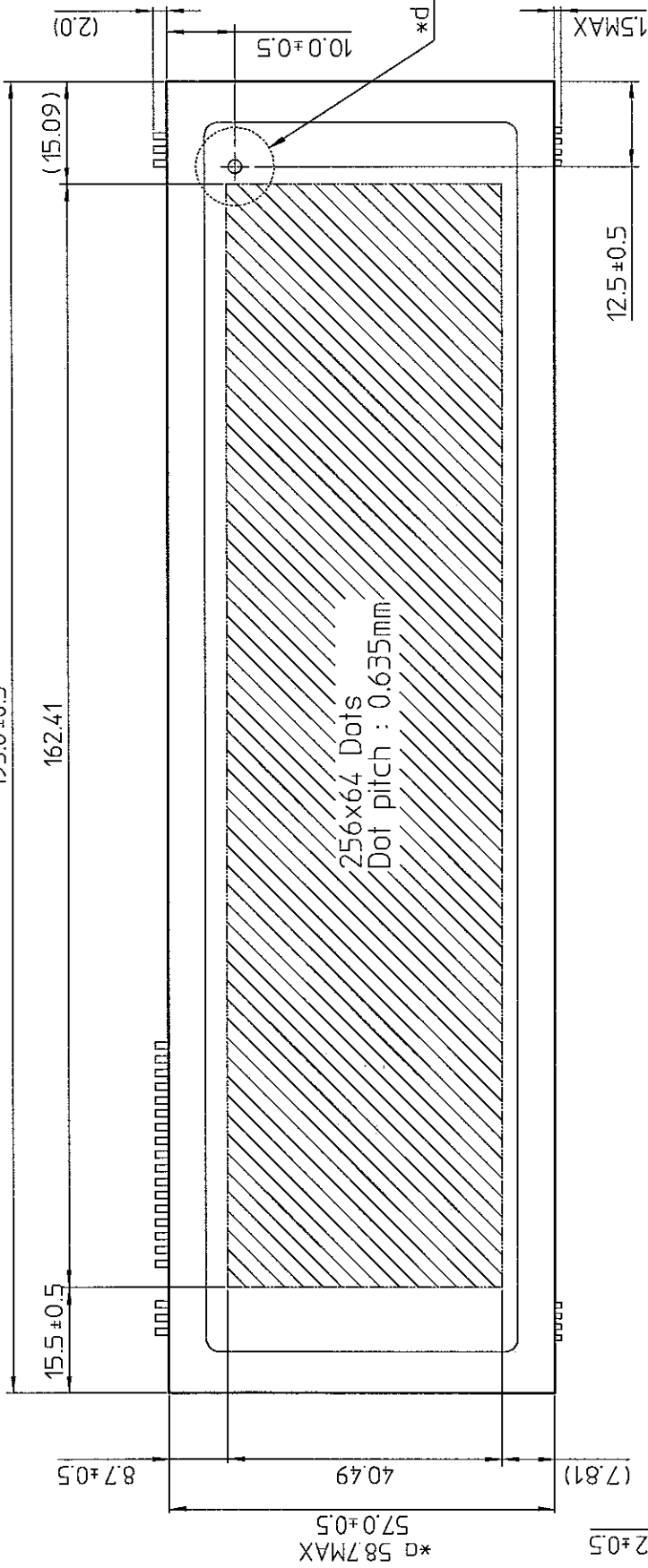


Anode numbers are expressed with composition of a line(1 to 64) and a sequence (a to h).
Anode sequence is repeated in the order of a, b, c, d, e, f, g and h.
Color of illumination is green.

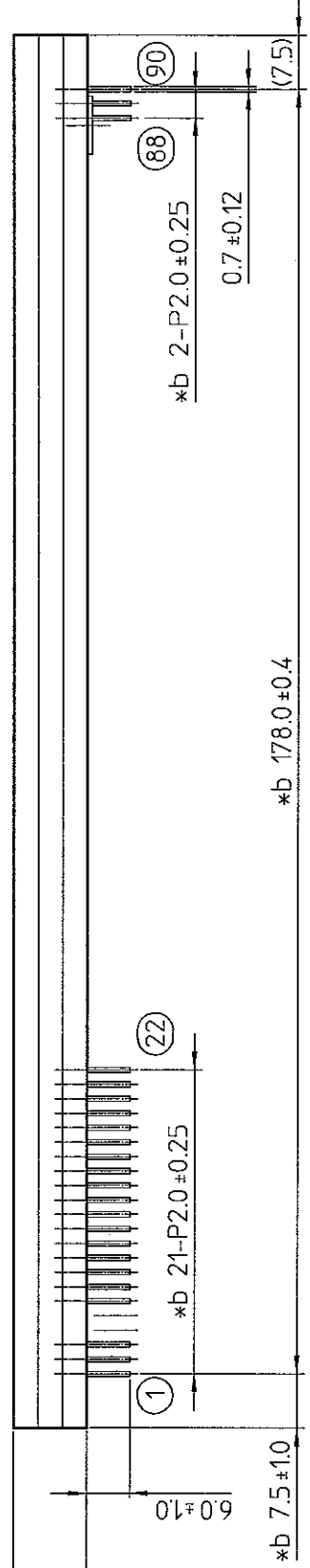
Specification of V.F.D PPT-453
 MN25664P - Outer dimension

Sheet 13/13
 Unit : mm
 Scale 1:1
 ():Reference only

*a 194.7MAX
 193.0±0.5



LEAD DETAIL



- *a Included extra frit glass
- *b Within 3mm from 3mm bottom of the glass substrate
- *c This size does not include the thickness of a lid
- *d This lid is settled in the range of 6mm radius from the center of a hole