

Mit Hilfe der Bits 1-3 im REG 24 des VIC kann er in 2K-Schritten verschoben werden. Sie stellen die Adressbits 11-13 dar.
 Der im CBM 64 eingebaute Character-Rom besitzt dank des Adressmanagers einen Sonderstatus. Dieses wird vom VIC nur angesprochen, wenn sich seine relative Adresse zwischen \$1000-\$1FFF, bzw. \$9000-\$9FFF bewegt.
 Tatsächlich liegt der Generator im Prozessoradressraum bei \$D000.

Da der Character-Rom rein physikalisch nicht im Zugriffsbereich aller Videoadressen liegt, müssen die fehlenden Bits in einem besonderen Puffer zwischengespeichert werden. Es sind dies die Adressbits 0-7. Die Charactergeneratorbasis im REG 24 spielt noch eine weitere Rolle. Sie legt nämlich nicht nur die Startadresse des Generators fest, sondern Bit 3 bestimmt im Einzelbit-Modus auch die Lage des Bildschirmspeichers. Hierbei bleiben die Bits 1 und 2 unberücksichtigt.

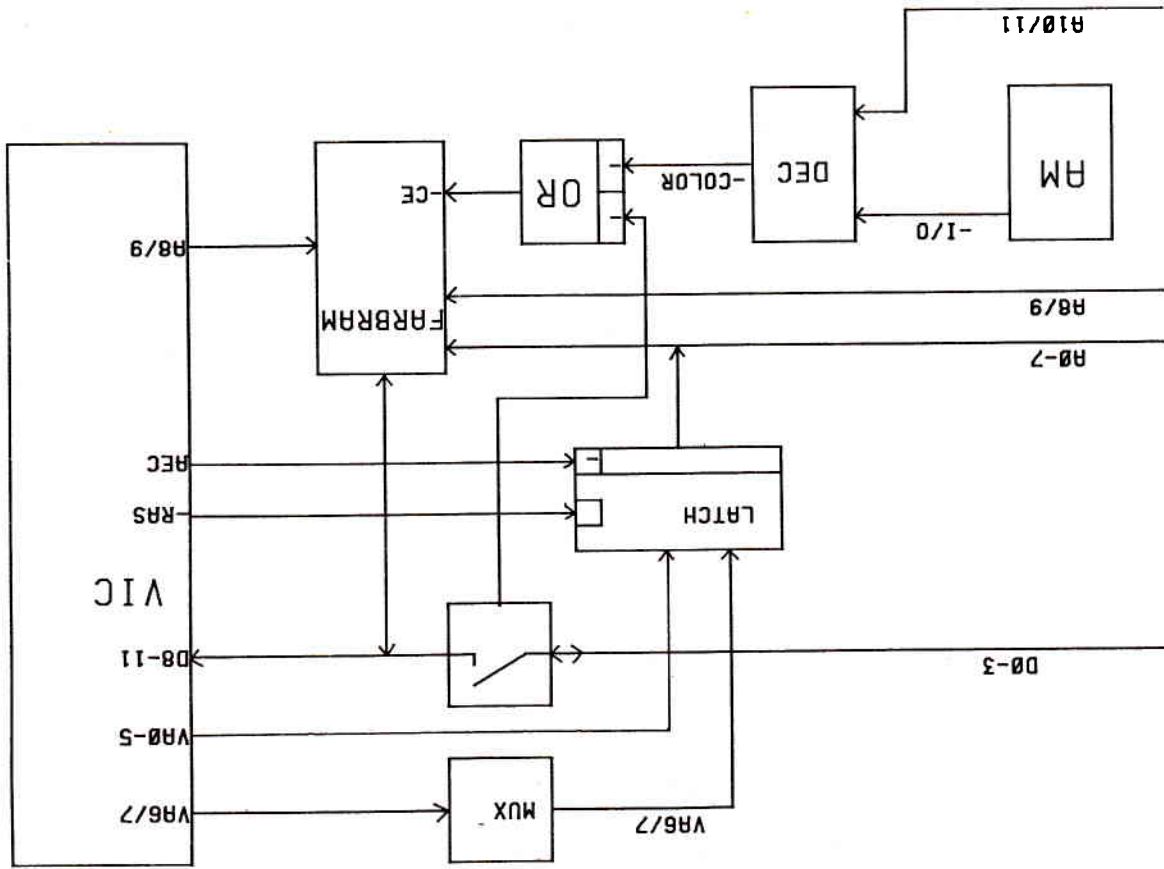
3.5 Die Schnittstelle zum Farb-Ram

Das Farb-Ram ist, im Gegensatz zu Videoram und Zeichengenerator, nicht verschieblich. Die Adressierung kann, ebenso wie beim Character-Rom, von zwei Seiten erfolgen, nämlich vom Prozessorbus und vom VIC-Bus.

Auch hier fehlen dem VIC zur Adressierung wieder die Bits 0-7. Sie werden auf die gleiche Weise gewonnen wie beim Character-Rom.

Zum VIC hin hat der Farb-Ram eine eigene Datenschnittstelle. Sie ist mittels eines Analogschalters vom Datenbus des Prozessors trennbar. Die Anlegenheit funktioniert denkbar einfach:

Bei AEC=0 (also VIC steuert den Bus) liegt der Schalter in Richtung VIC. Bei AEC=1 in der anderen Richtung. Darüber hinaus wird der Schreib/Lesezugriff seitens des Prozessors auf den Farb-Ram vom Adress-Manager gesteuert. Das Blockschema auf der nächsten Seite soll diese Umstände noch anschaulicher machen.



1.3 Der Prozessor 6510 und seine Besonderheiten

Der CBM 64 hat als Prozessor die MPU 6510 (MPU=Micro Processing Unit).

Dies ist ein 8-Bit-Prozessor, der im CBM 64 mit einer Taktfrequenz von ca. 980KHz betrieben wird.

Die MPU 6510 ist ein neues IC aus der Familie 65xx. Der wesentliche Unterschied zum bekannten 6502 besteht darin, daß der Chip über sechs I/O-Leitungen verfügt.

Das hat in Minimalkonfigurationen gegenüber dem 6502, der über keinerlei I/O-Leitungen verfügt, den Vorteil, daß man ohne zusätzliche Peripherie-ICs über einzeln programmierbare Leitungen verfügt, sei es zur Verbindung mit der Außenwelt (z.B. Tastatur), sei es für interne Steuerzwecke.

Im CBM 64 unterstützen diese Leitungen zum einen den Kassettenbetrieb, zum anderen die Speicherverwaltung. Der Befehlssatz ist der gleiche wie beim 6502.

Interessant für den Programmierer dürfte noch sein, daß die I/O-Leitungen die Adressen 0 und 1 belegen, nämlich 0 als Datenrichtungsregister und 1 als Datenregister.

Der Stack kann sich im Bereich #0100 bis #01FF bewegen. Unter Stack versteht man einen Stapelspeicher, auf dem, z.B. beim Sprung in Unterprogramme, die Prozessorregister abgelegt werden können, um sie beim Rücksprung ins Hauptprogramm wieder hervorzuholen und mit den ursprünglichen Inhalten weiterzuverarbeiten.

Zu der nun folgenden Pin-Belegung noch eine Anmerkung: Es ist uns nicht gelungen, ein dem tatsächlichen Stand entsprechendes Datenblatt aufzutreiben. Wir haben zwar mehrere, doch auf jedem ist das Pinout anders dargestellt. Deshalb sind wir den empirischen Weg gegangen und haben kontrolliert, wo die einzelnen Leitungen denn nun tatsächlich hingehen. Hier nun das Ergebnis:

- 1 0IN Systemtakt Eingang; im CBM 64 ca. 980KHz.
- 2 RDY Ready; 0=Prozessor hält beim nächsten Lesesyklus an, bis RDY=1. Von dieser Möglichkeit macht man z.B. beim Betrieb langsame Speicher Gebrauch.
- 3 -IRQ Interrupt Request; 0=Prozessor holt sich die nächste Befehlsadresse von \$FFFE und macht dort weiter. Dieser Umstand tritt nur ein, wenn der Interrupt erlaubt war (Bit 2 im Flag-Register=0).
- 4 -NMI Non-Maskable Interrupt; 0=Prozessor holt sich die nächste Befehlsadresse von \$FFFA und macht dort weiter.
- 5 AEC Address Enable Control; 0=Prozessor bringt Daten-Adress- und Steuerbus in den hochohmigen Zustand (Tri-State). Der Bus kann nun von anderen Einheiten betrieben werden, z.B. ein zweiter Prozessor.
- 6 VCC Betriebsspannung +5V
- 7 -20 A0-A15t Adressbus

21 GND

22-23 A14-A15; Adressbus

24-29 P5-P0; I/O-Pins

30-37 D7-D0; Datenbus

38 R/-W; 0=Schreibzugriff, 1=Lesezugriff

Alle Zugriffe finden nur während 02=1 statt.

39 02OUT; Systemtakt Ausgang zur Versorgung anderer Bausteine.

40 RES Reset; 0=Prozessor geht in den Ruhezustand. Beim Übergang von 0 nach 1 holt sich der Prozessor eine Adresse von \$FFFC und beginnt dort mit dem Programm.

1.4 Speicherbelegungspläne

Aufgrund der mehrfachen Bereichsüberlappungen und der damit notwendigen Verwaltung des Adressraumes ergeben sich etliche mögliche Belegungen.

Dreh- und Angelpunkt des gesamten Komplexes ist ein IC, welches im Folgenden kurz Address-Manager (AM) genannt wird. Beim AM handelt es sich um ein IC von der Sorte FPLA (Field Programmable Logic Array).

Derartige Bausteine enthalten eine Vielzahl potentieller logischer Verknüpfungen, die vom Anwender in der gewünschten Kombination programmiert werden können.

Im Falle des CBM 64 ist dies ein IC mit 16 Eingangsleitungen und 8 Ausgangsleitungen.

Durch die Programmierung wurde jeder Eingangskombination (eine aus 65536 möglichen) eine Ausgangskombination (eine aus 256 möglichen) zugeordnet.

Da dieses IC ein wesentlicher Bestandteil des CBM 64 ist, sollen hier die Ein- und Ausgangssignale erklärt werden mit Zweck (Ausgänge) und Herkunft (Eingänge).

Zunächst die Eingänge:

-CAS Signal vom VIC zur Steuerung der Ramadressen.

-LORAM Signal vom Prozessorport Bit 0

-HIRAM wie oben, jedoch Bit 1

-CHAREN wie oben, jedoch Bit 2. Soll das Auslesen des Zeichengenerators ermöglichen. Versuchen Sie das nie in Basic, da die vom Timer angestoßene Interruptroutine statt des erwarteten Timers dort nun den Charactergenerator (Charactergenerator und Timer in der CIA belegen diese Adressen) und deshalb falsch verzweigt, was zu einem 'Absturz' des Betriebssystems führt.

-VA14 kommt von CIA 2 Port A Bit 0; stellt einen Teil der Basisadresse von Zeichengenerator und Videoram dar.

A13-A15 Adresssignale; dienen hier zur Dekodierung des I/O-Bereiches.

BA Signal vom VIC; wirkt auf die RDY-Leitung des Prozessors

-AEC Prozessor steuert den Bus, 1=VIC steuert den Bus. Das Signal ist durch Invertierung von AEC des VIC gewonnen.

R/-W Steuerungssignal des Prozessors

-EXROM Eingangssignal vom Expansion-Slot

-GAME wie oben

VA12-13 Adressbus des VIC

