

PCB Design System

Ein Schnelleinstieg in den 16.6 PCB Editor

Jürgen Neundorf: 30.08.2004

5. Überarbeitung: 29.10.2012 SH

Vorbemerkung

- Die vorliegende Dokumentation gilt dem Erstanwender des OrCAD/Allegro PCB Editors. Sie soll weder als Trainingshandbuch noch als komplette Bedienanleitung verstanden werden.
- Da sich diese Anleitung ausschließlich auf den PCB Editor bezieht, erfolgt keine Anleitung zur Stromlaufplaneingabe. Als Ausgangspunkt dient ein bereits komplett mit Capture oder DE HDL erstellter Stromlaufplan. Für Capture existiert eine separate Schnellstartanleitung.
- Sie brauchen lediglich den PCB_Editor_Demo_166.zip File in einen Ordner Ihrer Wahl zu entpacken.
- Auf Grund der Kürze und Kompaktheit dieser Dokumentation kann natürlich nicht auf alle vorhandenen Befehle und deren Feinheiten eingegangen werden. Hierzu sei auf die umfangreiche Dokumentation innerhalb der Installation verwiesen, die sowohl als HTML- wie auch als PDF-Dokumentation vorliegt. Sie finden die Dokumentation über die Online Hilfe oder im Ordner %CDSROOT%/doc.
- Anhand eines einfachen Schaltplanes und eines daraus abgeleiteten Layouts werden die wichtigsten Schritte des Designablaufes dargestellt und erläutert, die es dem Erstanwender des PCB Editors erlauben, mit einem Minimal-Aufwand an Einarbeitungszeit die ersten eigenen Aufgaben selbständig zu bewältigen.
- Nach einigen Vorab-Informationen zur Software beginnt die Anleitung mit der Schaltungsvorlage auf Seite 11.
- Sämtliche Befehle und Funktionen, die in dieser Anleitung verwendet werden, sind mit der DEMO-Version durchführbar.

Systemvoraussetzung (Vollversion 16.6)

Betriebssysteme:	Windows 2008 Server (32- und 64-bit) Windows XP Professional SP3 oder höher (32-bit) Windows Vista SP2 oder höher (32- und 64-bit) außer Home Basic Windows 7 (32- und 64-bit) außer Home Basic und Starter
Hardware:	Intel IA-32 kompatibel (inklusive Intel P4 EMT und AMD Opteron™); 1.2 GHz Minimum; 2.4 GHz oder mehr ist zu empfehlen. Hinweis: Cadence SPB Produkte unterstützen IPF Chip nicht. DVD-ROM Laufwerk Netzwerkkarte (falls MAC/Ethernet Lizenzierung) Maus mit drei Tasten
Minimum:	1GB RAM 10GB Festplatte Virtueller Speicher sollte mindestens doppelt groß wie RAM sein 1024x768 Auflösung mit 64,000 Farben
Empfohlen:	4GB RAM 50GB Festplatte Virtueller Speicher sollte mindestens doppelt groß wie RAM sein 1280x1024 Farbe Qualität 32 Bit Grafik

Eigenschaften der Vollversion

Allgemein

- Raster in Millimeter und Zoll einstellbar
- Einfaches Erstellen und Bearbeiten von Bibliotheken
- Forward-Backward Annotation
- Cross-Probing zwischen Frontend (Capture / DE-HDL) und PCB Editor

OrCAD PCB Editor

Arbeitsfläche bis zu 99 999 999 x 99 999 999 mm

Bis zu 256 Signallagen inklusive Powerlagen, zuzüglich beliebige Dokumentationslagen

Umfangreiche Designregeln (Netz-, Lagen-, Gruppenbezogen, Höhenkontrolle)

Umfangreiche vordefinierte Reports plus beliebige eigene Reports

Extrem umfangreicher Online-DRC

Dynamische Kupferflächen (Shapes)

Autorouter

Zusatzoption: Voll integrierter Spectra Autorouter

Einschränkungen der Demo-Version

Die kostenlose Demo-Version ist ein voll funktionsfähiges Design-Paket inklusive PSpice, die lediglich in der Anzahl der Bauteile, Bauteilepins, Netzknoten und Einbindung zusätzlicher Simulationsmodelle beschränkt ist.

Sie können kleine Schaltungen im Stromlaufplan entwerfen, diese simulieren, und davon ein Layout anfertigen, auch Ausgaben für die Fertigung erstellen. Die Daten können gespeichert werden.

Größere Schaltungen und Layouts können betrachtet, aber nicht abgespeichert werden.

In der aktuellen 16.6 Version sind diese Limits zu beachten.

OrCAD PCB Editor Lite:

Boards mit mehr als 50 Bauteilen und/oder 100 Netzen können nicht gespeichert werden. Für größere Boards dient die Demo Version als Viewer.

Tutorials und Tutorial Design Files funktionieren mit der Lite Version.

Eine limitierte Beispiel-Bibliothek wird in der Installation zur Verfügung gestellt.

Installation und Einstellungen

Seit 16.3 gibt es nur noch eine Installationsbasis für Demo- und Vollversion. Wenn keine Lizenz zur Verfügung steht, dann arbeitet der OrCAD PCB Editor automatisch im Demo Modus. Sie müssen hierzu auch nicht zwingend einen Lizenzmanager installiert haben. Sollte dieser bereits installiert sein, und Sie wollen ausschließlich im Demo-Modus arbeiten, so deaktivieren Sie die CDS_LIC_FILE Systemvariable. Dies tun Sie wie folgt:

1. WinXP: Start -> Einstellungen -> Systemsteuerung -> System -> Erweitert -> Umgebungsvariablen
Win 7: Start -> Systemsteuerung -> System und Sicherheit -> System -> Erweiterte Systemeinstellungen -> Umgebungsvariablen
2. Unter den Systemvariablen finden Sie die Variable CDS_LIC_FILE. Sie steuert den Zugriff auf die Lizenzen. Benennen Sie die Variable einfach um, um sie zu deaktivieren. Sie können die Tools jetzt im Demo Modus starten.

Der PCB Editor erlaubt dem Benutzer eine Vielzahl von persönlichen Einstellungen, von der Produktkonfiguration über Design Templates bis hin zur Farbwahl der verwendeten Designelemente. Auf alle Möglichkeiten wird hier nicht eingegangen, da sie über den Zweck dieser Anleitung hinausgehen.

Bedienkonzept

PCB Editor

ermöglicht die Eingabe von Befehlen bzw. Kommandos in 5 verschiedenen Ebenen.

1. **Kommandozeile**
2. **Pull Down Menü bzw. Kontext-Sensitive Pop Up Menüs (Pre-Selection Mode)**
3. **Ikon**
4. **Short Key**
5. **Strokes**

Über die Kommandozeile sind alle Befehle ansprechbar.

Die Pull Down Menüs enthalten bis auf wenige Ausnahmen alle Befehle, die über die Kommandozeile möglich sind.

Die Ikon stellen die im allgemeinen wichtigsten Kommandos zur Verfügung.

Short Keys und Strokes sind frei definierbar, d.h. die von Cadence per Default gesetzten Einstellungen können jederzeit verändert bzw. ergänzt werden.

Ikon können in eigenen neuen Gruppen zusammengefasst werden.

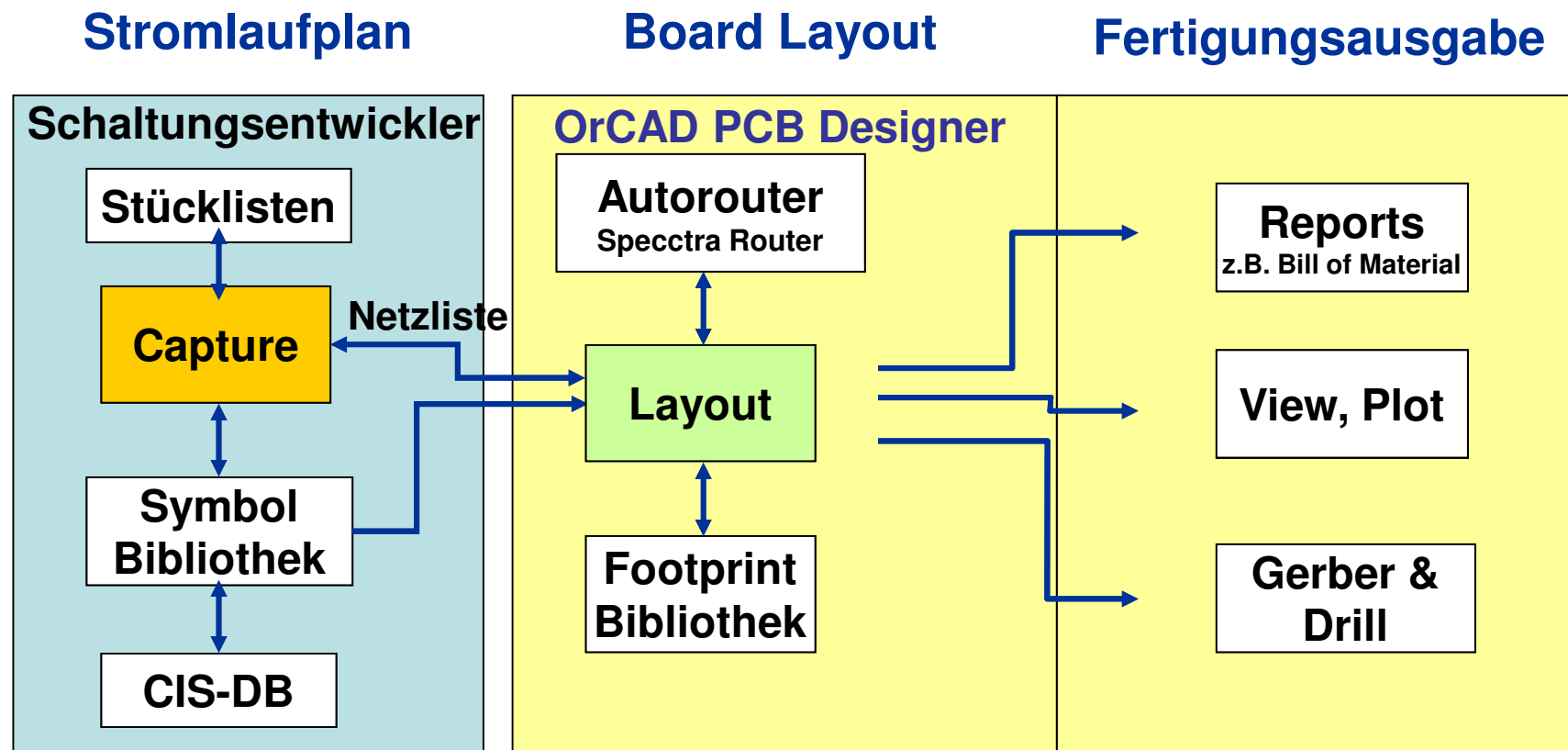
Mit der Version 16.0 wurde neben dem Post Selection Mode auch ein Pre-Selection Mode eingeführt.

Im Pre Selection Mode werden Kontext sensitive Menüs verwendet. Dies bedeutet, das sich in Abhängigkeit der selektierten Elemente, oder Befehle, die resultierenden Pop Up Fenster (über RMB anzusprechen) ändern.

Anmerkung: RMB = rechte Maustaste (right mouse button)

PCB Editor Flow

Bevor wir uns mit dem PCB Editor beschäftigen, wollen wir uns nochmals kurz den gesamten Ablauf innerhalb des Design Flows in das Gedächtnis zurückrufen. Zu diesem Zweck schauen wir uns also nochmals den Ablauf anhand des Frontend Tools Capture etwas näher an, da Capture unter anderem die Daten für die weitere Arbeit zur Verfügung stellt.



Dateien in Capture / DE CIS

Wichtigste Dateien in Kurzfassung

.OPJ	Projekt
.DSN	Design
.DBK	Backup
.OLB	Symbol Bibliothek
.UPD	Property Update Datei
.DRC	Design Test Ausgabe
.BOM	Stückliste (Bill of Materials)
.EXP	Property Export Datei
.MNL	OrCAD Layout Netzliste (binär)
.SWP	Layout Backannotation
.VHD / .VHO	VHDL Quelle
.EDF / .EDN	EDIF Netzliste oder Backannotation
.XRF	Cross – Referenz
.NET	sonstige Netzliste
*.DAT	Netzlisten Transfer Dateien für Allegro/OrCAD PCB Editor

Anmerkung:

Zur Weitergabe und externen Bearbeitung von Designs ist nur der Design-File „*.dsn“ erforderlich, da alle Designdaten hier enthalten sind.

Der Projekt-File „*.opj“ ist sinnvoll, aber nicht zwingend nötig, er enthält gewisse Voreinstellungen zum Projekt, wie verwendete Bibliotheken, bereits erzeugte Reports, Quickplace, Folder Einstellungen etc.

Dateien im PCB Editor

Wichtigste Dateien in Kurzfassung

.brd	Board File (enthält alle erforderlichen Daten des aktuellen Layouts)
.log	Log – Files (Feedback einzelner Programmschritte)
.jrl	Journal – File (Mitschrift der letzten Befehle)
.dat	Transfer Files (Netzlisten Files)
.scr	Script File / Macro File
.pad	Padstack Definition
.dra	allgemeiner Symbol File (Basis für Bearbeitung)
.psm	Package Symbol (Footprint)
.bsm	Mechanical Symbol (Board Kontur inklusive Befestigungsbohrungen)
.osm	Format Symbol (Zeichnungsrahmen für Doku)
.ssm	Shape Symbol (Logos, Kupferflächen)
.fsm	Flash Symbol (Thermal Reliefs für Wärmefallen)

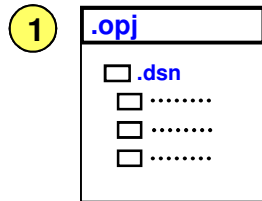
Anmerkung:

Zur Weitergabe und externen Bearbeitung eines Layouts ist **nur** der Board File „*.brd“ erforderlich, da hier alle Daten enthalten sind.

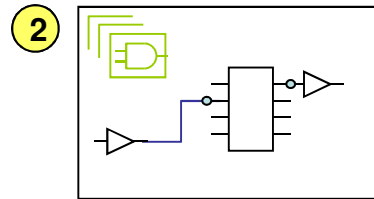
In Abhängigkeit der Benutzung von Subroutinen gibt es natürlich eine Vielzahl weiterer Dateien.

Capture Design Flow

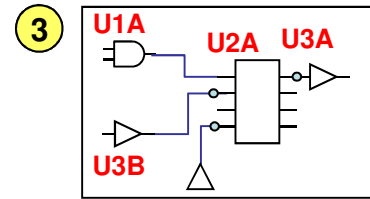
1 Create a new project



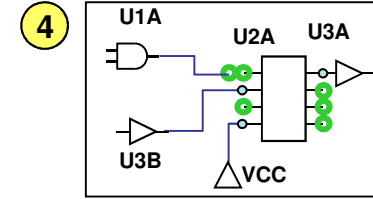
2 Place and connect parts



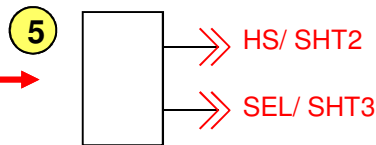
3 Assign part references



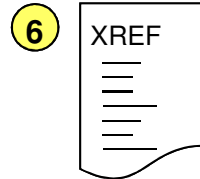
4 Check design rules



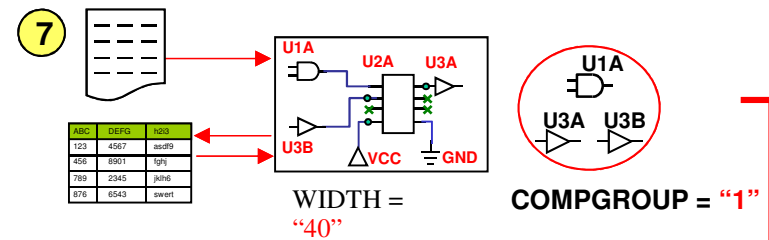
5 Add inter-sheet references



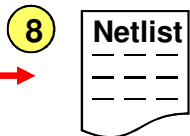
6 Cross reference report



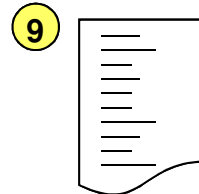
7 Edit part and net properties



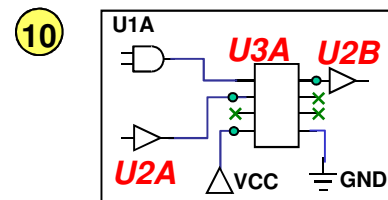
8 Netlist for PCB design



9 Generate Bill of Materials



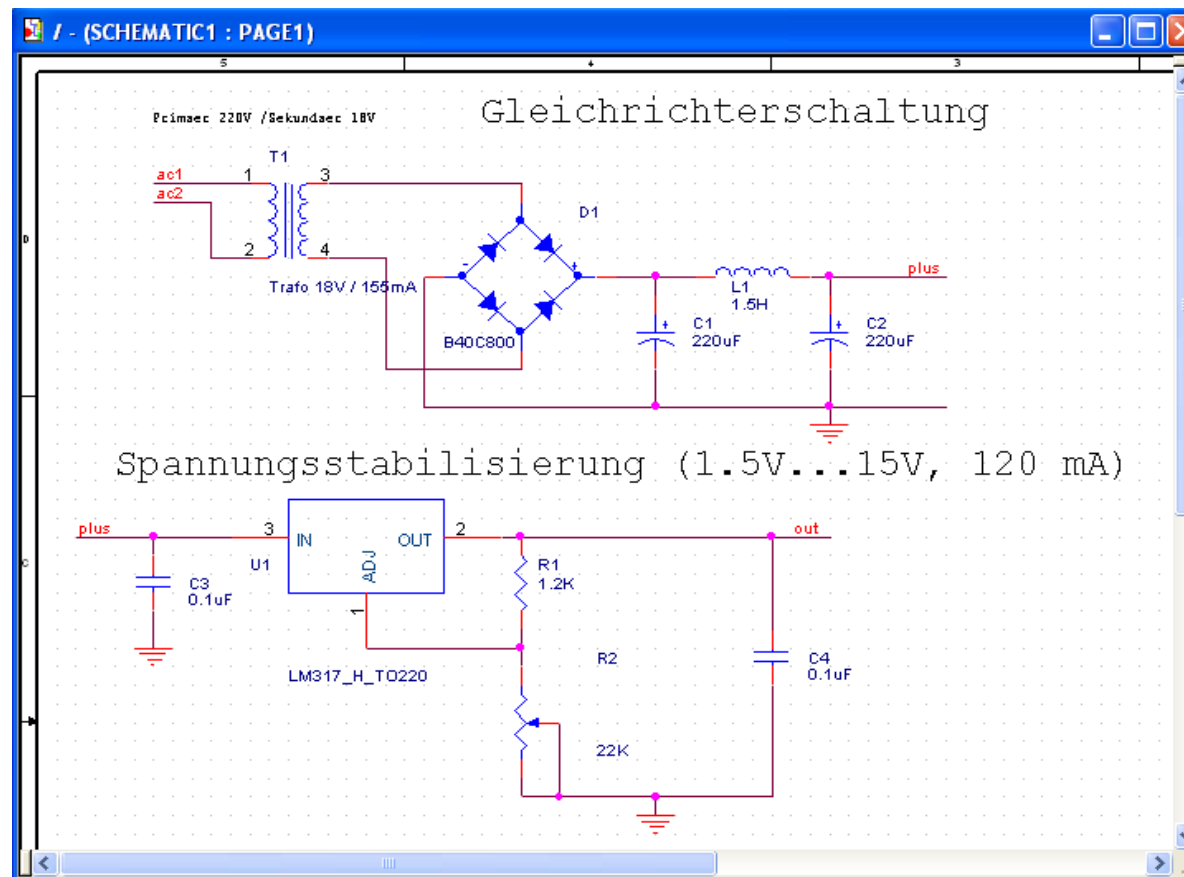
10 Backannotate from PCB design



Schaltungsvorlage

Ziel des Design Flows ist es, wie bereits in der Vorbemerkung erwähnt, aus einer bestehenden Schaltung ein Leiterplatten-Layout zu erstellen. Hier die verwendete Gesamtschaltung des Demo Beispiels im Überblick.

Nähere Einzelheiten zum Capture Flow können dem Schnelleinstieg OrCAD Capture entnommen werden.



REFDES - Footprints

In der nachfolgenden Aufstellung sind die Footprints aufgeführt, die den einzelnen Bauteilen im Schaltplan manuell zugewiesen wurden.

Es ist auf die genaue Schreibweise zu achten.

T1	=	ERA-EI30-2_8VA
D1	=	SM_GL_BRUECKE
U1	=	TO220abv
R1	=	SMR_1206
R2	=	VRES34
L1	=	SML_2220
C1, C2	=	Cpol_508
C3, C4	=	SMC_1206

Start von Capture

Nach dem Start von Capture öffnet sich das Capture **Session Frame** Fenster.

Start über:

**Start > Programme >
Cadence > Release 16.6
> Capture (CIS)**

oder

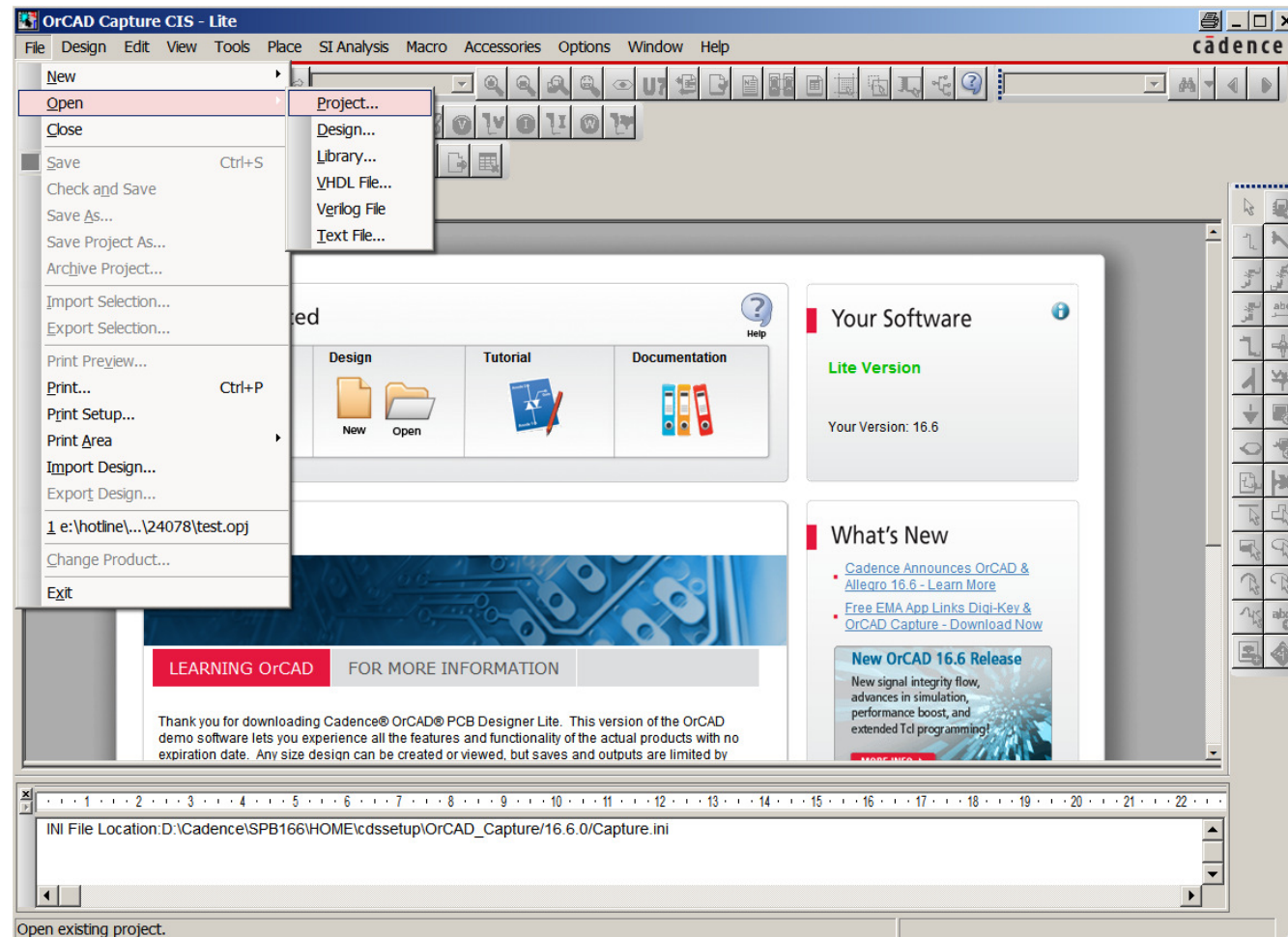


Design Entry CIS

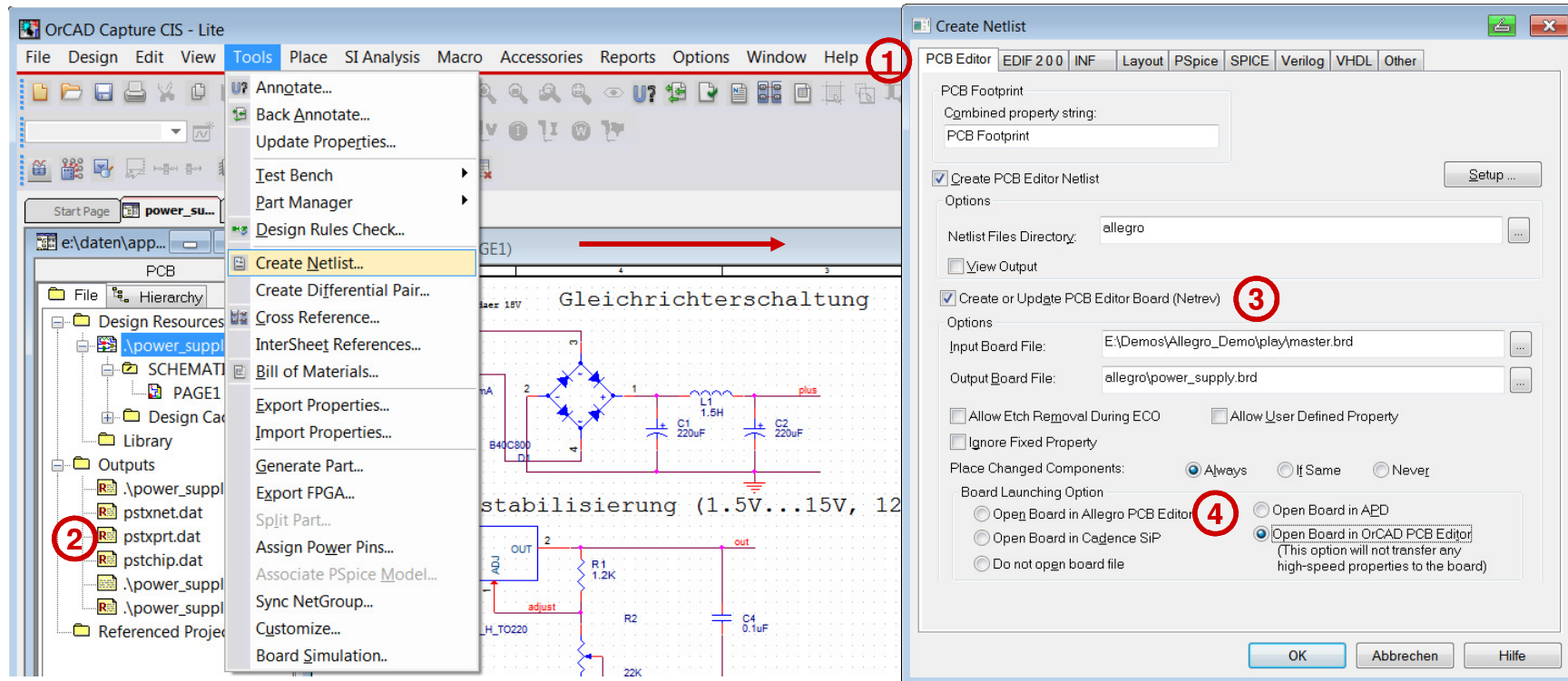
Icon auf dem Desktop

Am unteren Rand ist das **Session Log** Fenster eingeblendet. Es kann auch separat in einem eigenen Fenster dargestellt werden. Hier werden alle Ereignisse der aktuellen Sitzung gelistet, einschließlich Meldungen weiterer Capture Tools.

File > Open > Project... öffnet ein bestehendes Projekt, in welchem das eigentliche Design (Power_Supply) definiert ist.



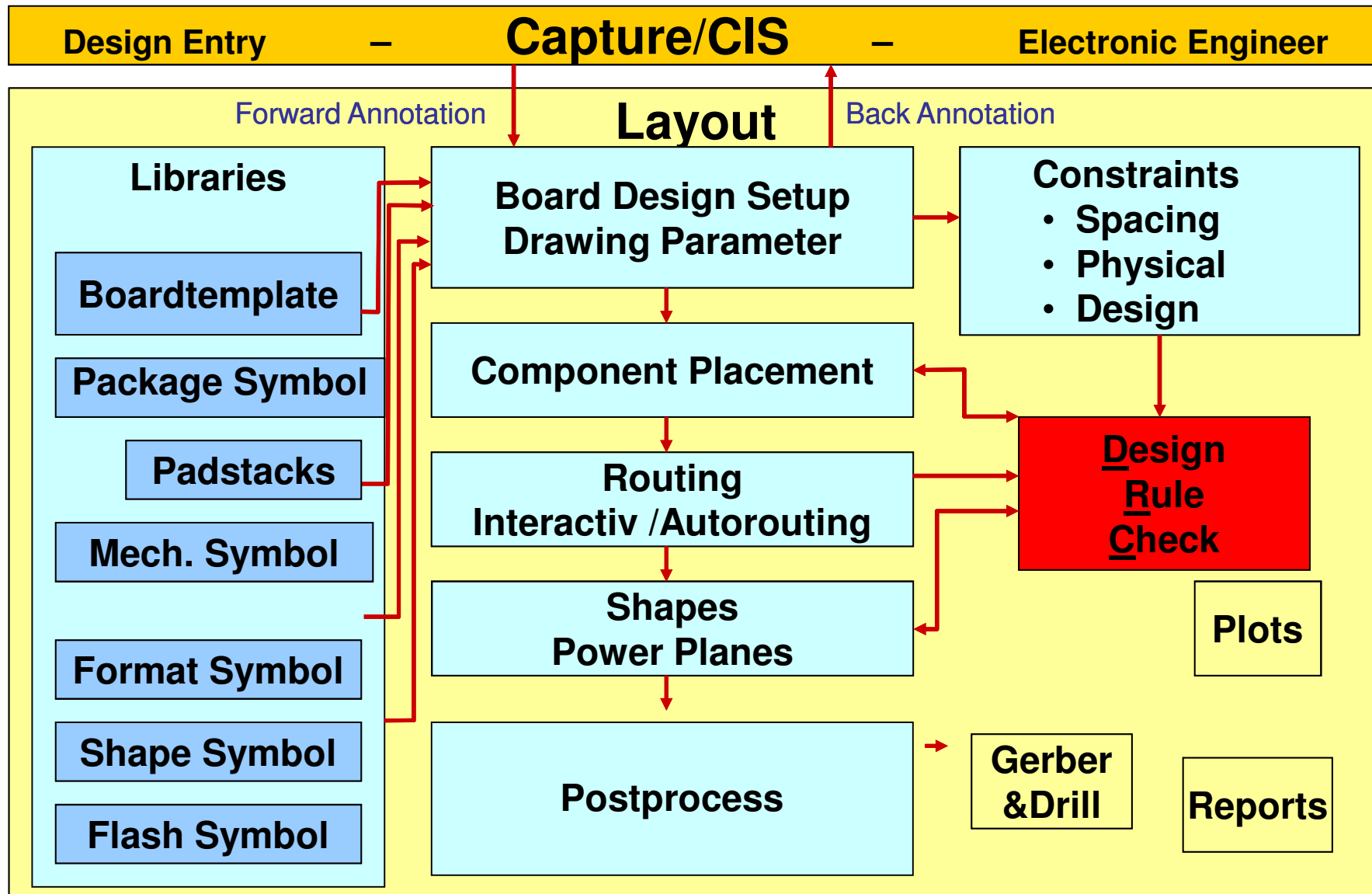
Netzlisten generieren



- 1 Mit dem Netzlisten Tool können die für den PCB Editor benötigten 3 Transferfiles (*.dat) erzeugt werden. Hierzu selektieren sie den *.dsn File im Projekt Fenster und wählen das Menü **Tools > Create Netlist** aus. Im Netzlisten Menü ist der Reiter „**PCB Editor**“ zu wählen.
- 2 Im aktuellen Arbeits-Ordner werden unter dem Ordner **allegro** folgende 3 Files generiert:
pstxnet.dat, pstprt.dat, pstchip.dat
- 3 Bei Bedarf können diese Daten auch sofort in ein sogenanntes Masterboard geladen werden.
- 4 Als letzte Option kann schließlich das resultierende Design auch gleich gestartet werden.

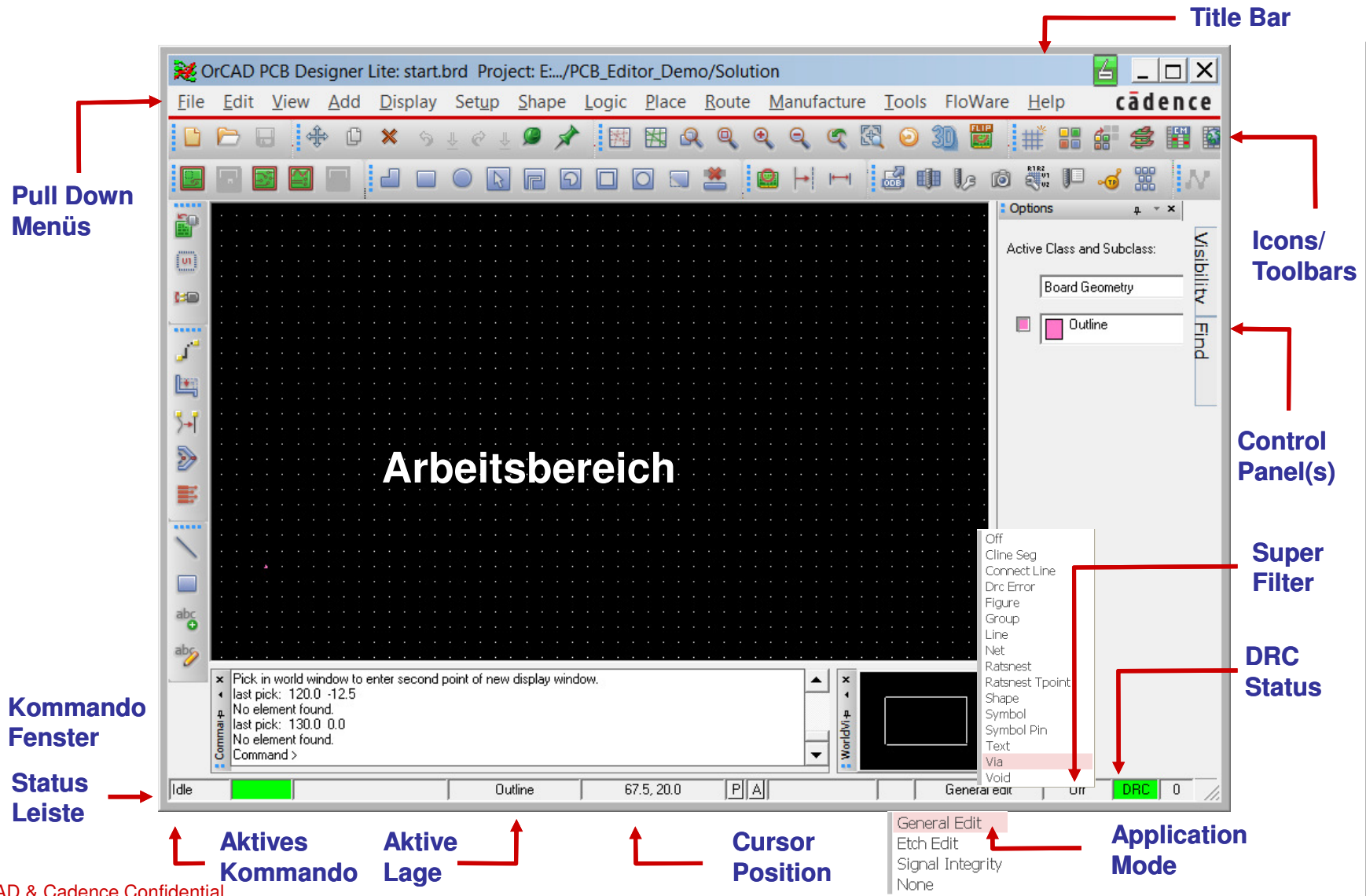
PCB Editor

PCB Editor- Übersicht

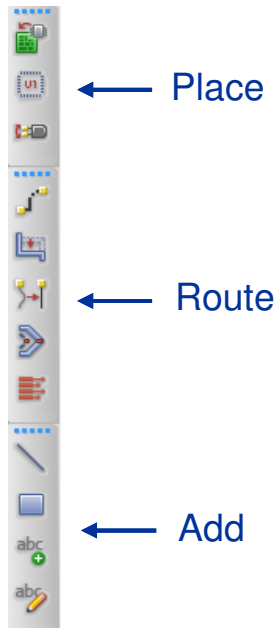


User Interface

PCB Editor und Arbeitsbereich



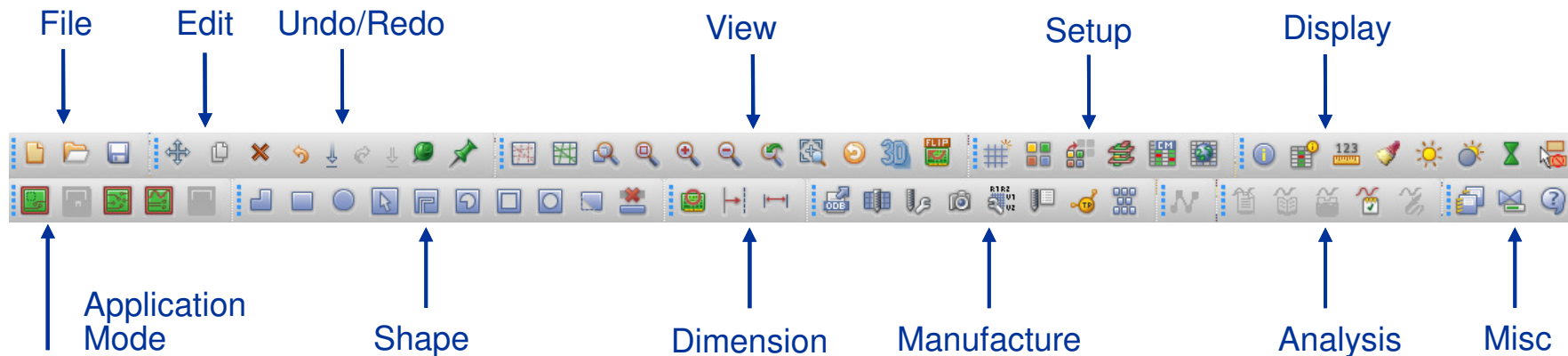
Icons und Toolbars



Hier sind annähernd alle im PCB Editor verfügbaren Icons dargestellt. Sie sind in Gruppen, sogenannten Toolbars zusammengefasst.

View > Customize Toolbar erlaubt ein Aus- und Einblenden der Toolbars.

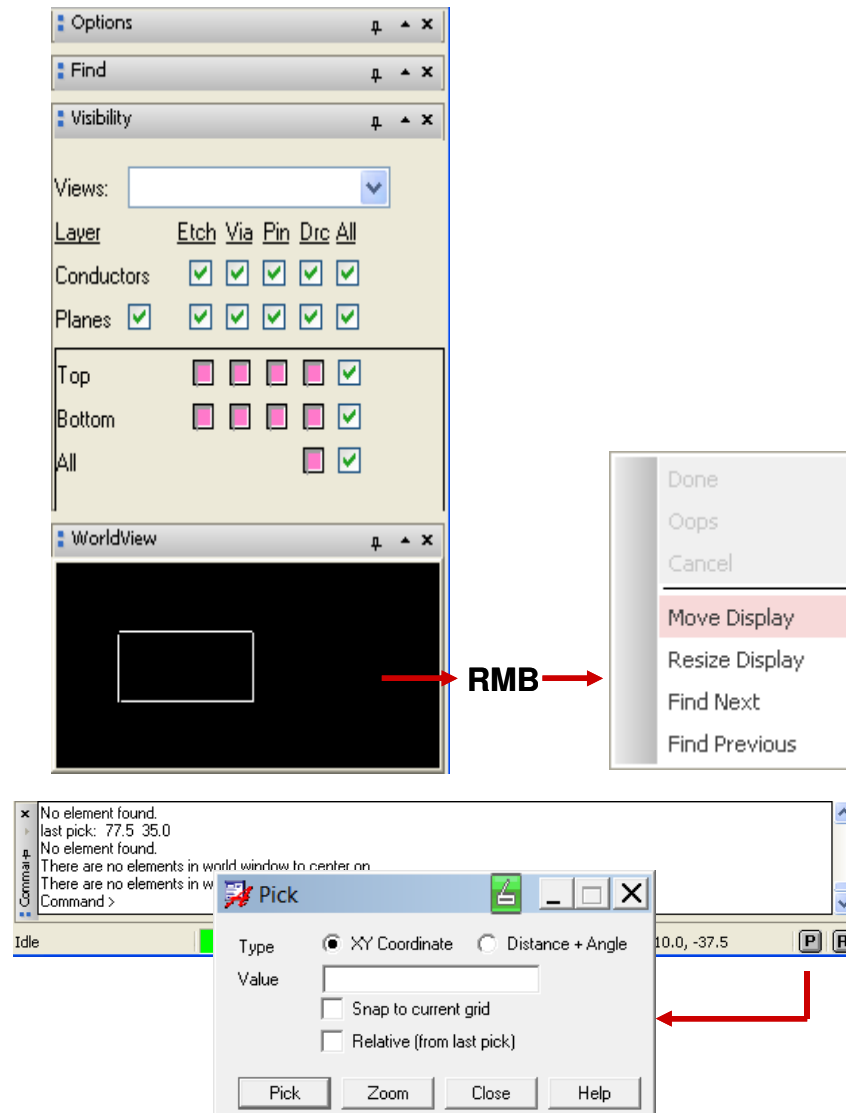
Toolbars können Windows-typisch beliebig an den Außenrändern oder auch separat angeordnet werden.



Hinweis:




In der Demo Version (Lite) sind nicht alle Icons verfügbar, sondern nur in den entsprechenden Ausbaustufen.

Control Panels und World View Fenster



- **Options Tab**
 - Zeigt momentane Parameter und Werte für das aktive Kommando
 - Zeigt Felder, die es erlauben, das aktuelle Kommando zu kontrollieren
- **Find Tab (Find Filter)**
 - Kontrolliert welche Objekte selektierbar sind
 - Es können auch Objekte durch Eingabe Ihres Namens selektiert werden
- **Visibility Tab**
 - Kontrolliert Sichtbarkeit von Routing Elementen (Etch, Pin, Via, DRC) auf Conductor und Plane Lagen
- **World View Window**
 - Zeigt den aktuellen Bildausschnitt relativ zum gesamten Design
 - Erlaubt auch die aktive Anzeige eines Teilbereiches ihres Designs (interaktiv)
- **Command Fenster**
 - Erlaubt Koordinaten- / Kommandoingabe, und zeigt Systemmeldungen an

Tip:

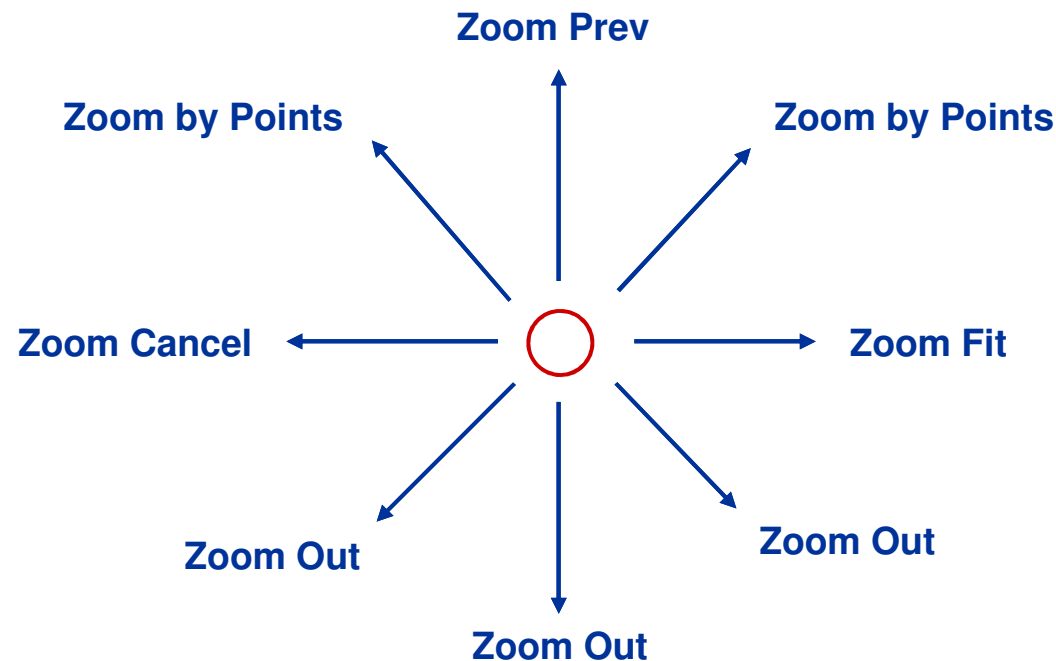
- Alle Fenster können separat ausgeblendet werden, für einen größeren Arbeitsbereich (**View > Windows, oder über**   ).

Zoom Kontrolle mit mittlerer Maustaste

Die mittlere Maustaste bietet Ihnen ein Universalwerkzeug zum Zoomen und Verschieben Ihrer Arbeitsfläche.

① Der Kreis in der Mitte repräsentiert den original Selektionspunkt **1. Klick** durch die mittlere Maustaste (MMB).

② Die Pfeile repräsentieren die Richtung, in die die Maus bewegt wird. Anschließend **2. Klick** (MMB).



③ Halten Sie die mittlere Maustaste gedrückt und bewegen Sie die Maus. So können Sie den aktuellen Bildausschnitt verschieben (pannen)

④ Wird die Maus nach dem ersten Klick (MMB) nicht bewegt und ein zweiter Klick (MMB) erfolgt, dann wird das Kommando **Zoom Center** ausgeführt.

Aliases, Funckey und Strokes

Aliases, Funckey und Strokes ermöglichen es, komplette Befehle bzw. Kommandos oder ganze Macros durch einen einzigen Tastendruck auszuführen.

Versuchen Sie folgende Beispiele als Alias und Funckey Zuweisung und die Stroke Funktion:

1. Laden Sie das Board **sample.brd** (Ordner Sample)
2. Tragen Sie nacheinander folgende Kommandos in das Kommando Fenster ein und bestätigen Sie mit **ENTER**.
 - **alias Home zoom fit** (Zuweisung von ZOOM Fit auf Pos1-Taste, Groß/Klein Schreibweise beachten)
 - **funckey r iangle 90** (Zuweisung von 90Grad Rotation auf R-Taste, Groß/Klein Schreibweise beachten)
3. Nutzen Sie die mittlere Maustaste und Zoomen Sie in einen kleinen Bereich hinein.
4. Drücken Sie die Taste Pos1 (oder Home bei englischer Tastatur) → Das Kommando Zoom Fit wird ausgeführt.
5. Wählen Sie **Edit > Move** und selektieren Sie ein Bauteil.
6. Drücken Sie die Taste „**R**“ mehrmals → Der Baustein rotiert um jeweils 90Grad.
7. Drücken Sie **RMB > Done**
8. Drücken Sie die **Ctrl** - Taste und gleichzeitig **RMB** – Zeichnen Sie ein kleines **Z** über einem Baustein.
9. Das Kommando Zoom in wird ausgeführt.

Sie haben erfolgreich eine Alias bzw. Funckey Funktion definiert, und eine Stroke Funktion ausgeführt.

Tippen Sie **alias** in die Kommandozeile und **ENTER**. Es werden alle default Aliases und funckey's angezeigt.

Wählen Sie **Tools > Utilities > Stroke Editor**. Der Stroke Editor startet und zeigt die vordefinierten Strokes.

Tip: Die beiden obigen Zuweisungen sind nur in dieser Session gültig. Wie Sie derartige Zuweisungen dauerhaft einbinden können, erfahren Sie im nächsten Abschnitt.

Arbeitsumgebung

PCB Editor Struktur

Ein Board File (**xxx.brd**) ist die Zusammenfassung einer Anzahl von Zeichnungslagen. Die Zeichnungselemente jeder dieser Lagen können getrennt voneinander einer Farbe zugeordnet werden, und auch sichtbar oder unsichtbar geschaltet werden.

Der PCB Editor organisiert diese Zeichnungslagen innerhalb einer Hierarchie von Ordnern, Klassen und Subklassen. Im PCB Editor sind dies Folders, Classes und Subclasses.

Jede dieser Lagen hat ihr eigenes Color-Setting und ein eigenes Visibility-Setting.

Folders sind eine Zusammenfassung von Classes, um den Anwender bei der Kontrolle der Farbgebung und Sichtbarkeit zu unterstützen.

Alle Elemente sind in einer Art 2-Level Datenbank gespeichert. Das erste Level referenziert auf verschiedene vordefinierte Classes, wobei bestimmte Classes zu speziellen Folders zusammen gefasst werden.

Folders und Classes können weder gelöscht, noch können neue hinzugefügt werden.

Innerhalb jeder Class existieren mehrere Subclasses. Diese sind das zweite Level der Datenbasis. Sie werden häufig als Lagen im Design bezeichnet bzw. betrachtet. Vordefinierte Subclasses können nicht gelöscht werden. Allerdings können Sie beliebige neue Subklassen hinzufügen. Diese können auch wieder gelöscht werden, solange sie keine Daten enthalten.

Alle Routing Arbeiten beziehen sich auf Subclasses, die der Class Etch zugeordnet sind. Diese Subclasses haben spezielle DRC Properties, die die anderen Classes und Subclasses nicht haben.

Sie müssen für jede elektrische Lage eines Boards eine entsprechende Subclass hinzufügen. Das bedeutet, dass Sie für einen 4-Lagen Multilayer 4 Subclasses unter der Class Etch haben.

Ein von NULL weg neu erzeugtes PCB-Board wird immer als 2-Layer.brd mit Top und Bottom generiert.

Die vordefinierten Subclasses Top und Bottom können weder umbenannt noch gelöscht werden.

Tipp: Dem Folder Display und dessen Classes können **keine** neuen Subclasses zugeordnet werden.

Folders, Classes und Subclasses (1)

Folder	Classes	Subclasses
Display	Temp Highlight, Grids, Ratsnest (top, bot, thru), Perm Highlight, Waived DRCs, Drill holes, Via Label, Stacked via Label, Background, Pattern, Shading, Transparency	Subclasses nicht vorhanden
Stackup / Conductor	Pin, Via, DRC, Etch, Anti Etch, Boundary	Top, Bottom (und alle anderen user definierten Boarddesign Lagen)
Stackup / Non_Conductor	Pin, Via, DRC, Etch, Anti Etch, Boundary	Soldermask_Top, Soldermask_Bottom, Pastemask_Top, Pastemask_Bottom, Filmmasktop, Filmmaskbottom, Through All, Package_Top, Package_Bottom
Areas	Route Keepout, Via Keepout, Package Top, Bottom, Through All, Package Keepout, Package Keepin, Route Keepin, Constraints Region	Top, Bottom, Inner_Plane_Layers, Inner_Signal_Layers, Outer_Layers, Through All
Board Geometry	Board Geometry	Outline, Plating_Bar, Assembly Notes, Tooling_Corners, Dimension, Place_Grid_Top, Place_Grid_Bottom, Top_Room, Bottom_Room, Both_Rooms, Switch_Area_Top, Switch_Area_Bottom, Silkscreen_Top, Silkscreen_Bottom, Assembly_Detail, Soldermask_Top, Soldermask_Bottom, Off_Grid_Area, NcroutePath, Wb_Guide_Line

Folders, Classes und Subclasses (2)

Folder	Classes	Subclasses
Package Geometry	Package Geometry	Assembly_Top, Assembly_Bottom, Place_Bound_Top, Place_Bound_Bottom, Pin_Number, Pad_Stack_Name, Silkscreen_Top, Silkscreen_Bottom, Body_Center, Soldermask_Top, Soldermask_Bottom, Display_Top, Display_Bottom, Modules, Dfa_Bound_Top, Dfa_Bound_Bottom, PasteMask_Top, PasteMask_Bottom
Embedded Geometry	Embedded Geometry	All
Components	Comp Value, Device Type, Ref Des, Tolerance, User Part Number	Assembly_Top, Assembly_Bottom, Display_Top, Display_Bottom, Silkscreen_Top, Silkscreen_Bottom
Manufacturing	Manufacturing	Autosilk_Top, Autosilk_Bottom, NcdriII_Legend, NcdriII_Figure, No_Gloss_All, No_Gloss_Top, No_Gloss_Bottom, No_Gloss_Internal, No_Probe_Top, No_Probe_Bottom, Photoplot_Outline, Probe_Top, Probe_Bottom, Xsection_Chart
Drawing Format	Drawing Format	Drawing_Origin, Outline, Revision_Block, Revision_Data, Title_Block, Title_Data
Analysis	Analysis	Low_Isocontour, Medium1_Isocontour, Medium2_Isocontour, Medium3_Isocontour, High_Isocontour, Pcb_Temperature

Folders, Classes und Subclasses (3)

Um weitere Lagen (Subclasses) dem PCB hinzuzufügen ist im Pull-Down Menü über „**Setup > Subclasses**“ die gewünschte Klasse auszuwählen und im nachfolgenden Fenster der Namen der neuen Subclass anzugeben.

Mit Ausnahme der Routing-Lagen (Etch) werden alle User-defined Lagen über diese Menüs eingetragen. Wenn Sie „ETCH“ wählen, wird automatisch der Layer-Stackup gestartet, über den zusätzliche Routing-Lagen definiert werden. Näheres dazu ab Seite 74 unter „Masterboard“.

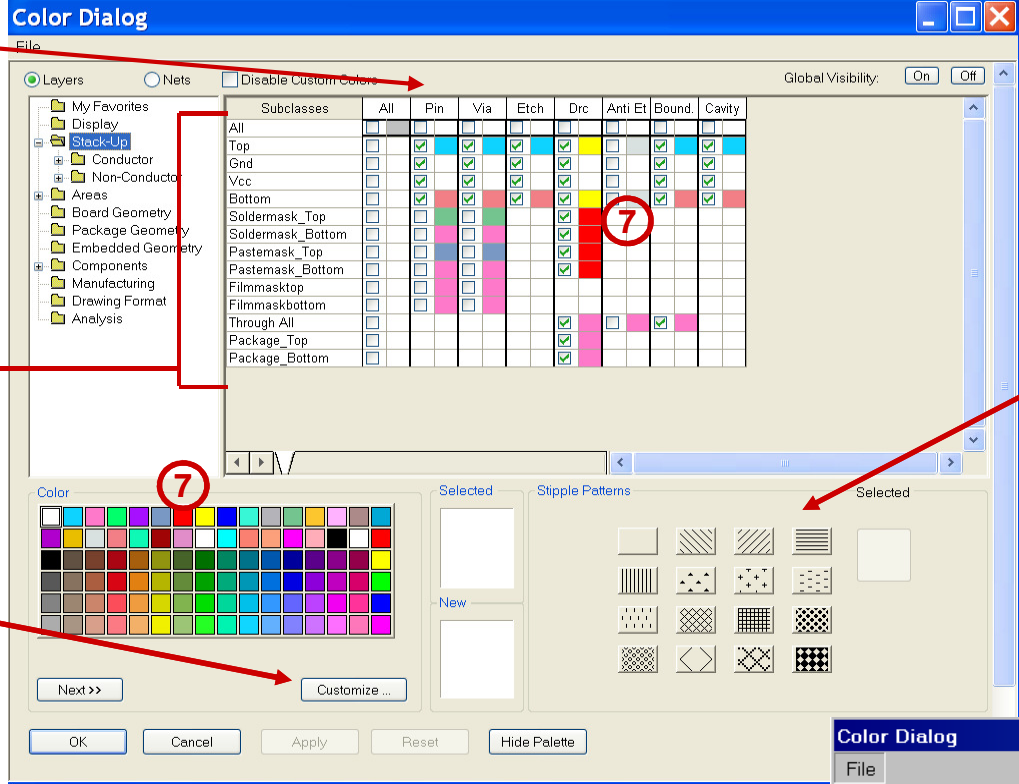
Alle User-defined Lagen sind weiß hinterlegt, so dass Sie über diese Menüs auch gleichzeitig erkennen, welche Lagen von einem User hinzugefügt wurden. Alle anderen Lagen sind Default-Lagen des Systems.

Das Löschen einer User-defined Lage erfolgt über einen Klick auf den Pfeil-Button.

Es können nur Lagen gelöscht werden, die keine Daten enthalten!

Kontrolle von Color und Visibility

Mit **Display > Color/Visibility** oder  kann die Sichtbarkeit und die Farbe der einzelnen Lagen (Classes/Subclasses) eingestellt werden.



Classes

Folders

Subclasses

Persönliche Farbeinstellungen

Seit Version 16.5 ist auch eine Zuweisung von Pattern auf einzelne Elemente möglich.

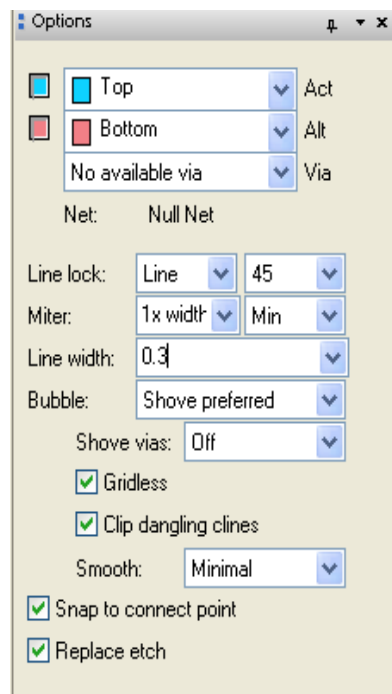
Tipp:
Den einzelnen Subclasses (Pin, Via ...) werden Farbnummern, **nicht** die Farben zugewiesen!! (z.B. Soldermask_Top Drc rot = Paletten Nr. 7). Daher, eine neue Farbpalette kann u.U. auch neue Farben in den Subclasses bedeuten.

Color Dialog
File
Load Default Color Palette Ctrl+N
Save Default Color Palette
Load Color Palette... Ctrl+O
Save Color Palette... Ctrl+S
Close

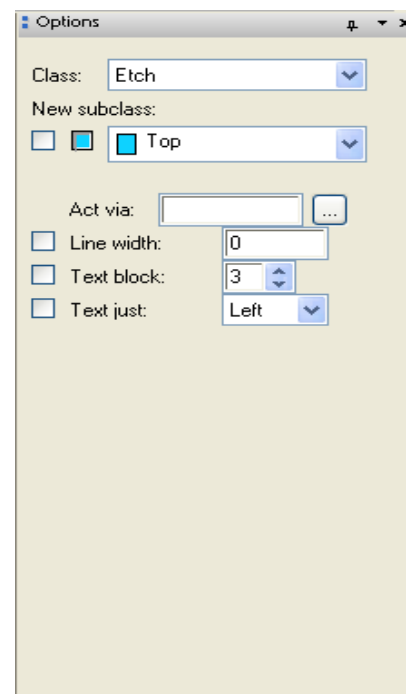
Option Fenster des Control Panels

Die Parameter im Option Fenster sind abhängig vom jeweiligen Kommando und bieten eine Vielzahl von Optionen für die jeweiligen Kommandos. Daher sollte das Option Fenster während der normalen interaktiven Arbeit immer im Auge behalten werden.

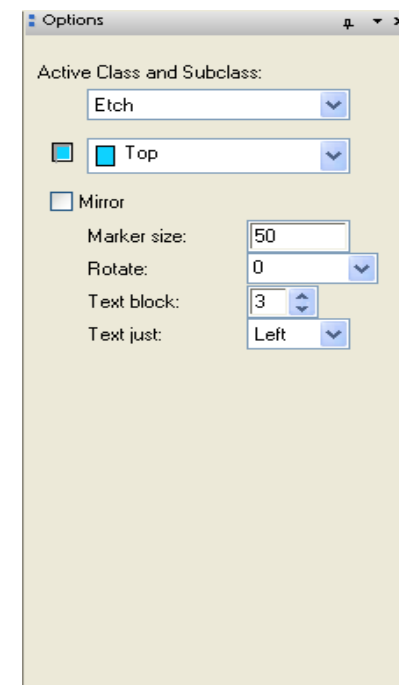
Route > Connect



Edit > Change




Add > Text



Änderungen, die Sie hier vornehmen, werden sofort wirksam. Sie überschreiben auch Voreinstellungen, die im Setup des PCB Editors vorgenommen wurden, z.B. über **Setup > Design Parameters...> Design > Linelock/Symbol**.

Kontrolle - Etch visibility

Das Visibility Control Panel bietet eine sehr schnelle Möglichkeit einzelne Lagen aus- oder einzuschalten. Die Lagenkontrolle hinsichtlich der einzelnen Elemente bezieht sich allerdings nur auf die **Class Etch**. Für Dokumentationslagen können Sie das Color Dialog Fenster  oder die User definierten **Color Views** benutzen.

Exclude/Include Plane Lagen

User definierte Color Views →

Last View
File: placed
File: place_bot
File: place_top

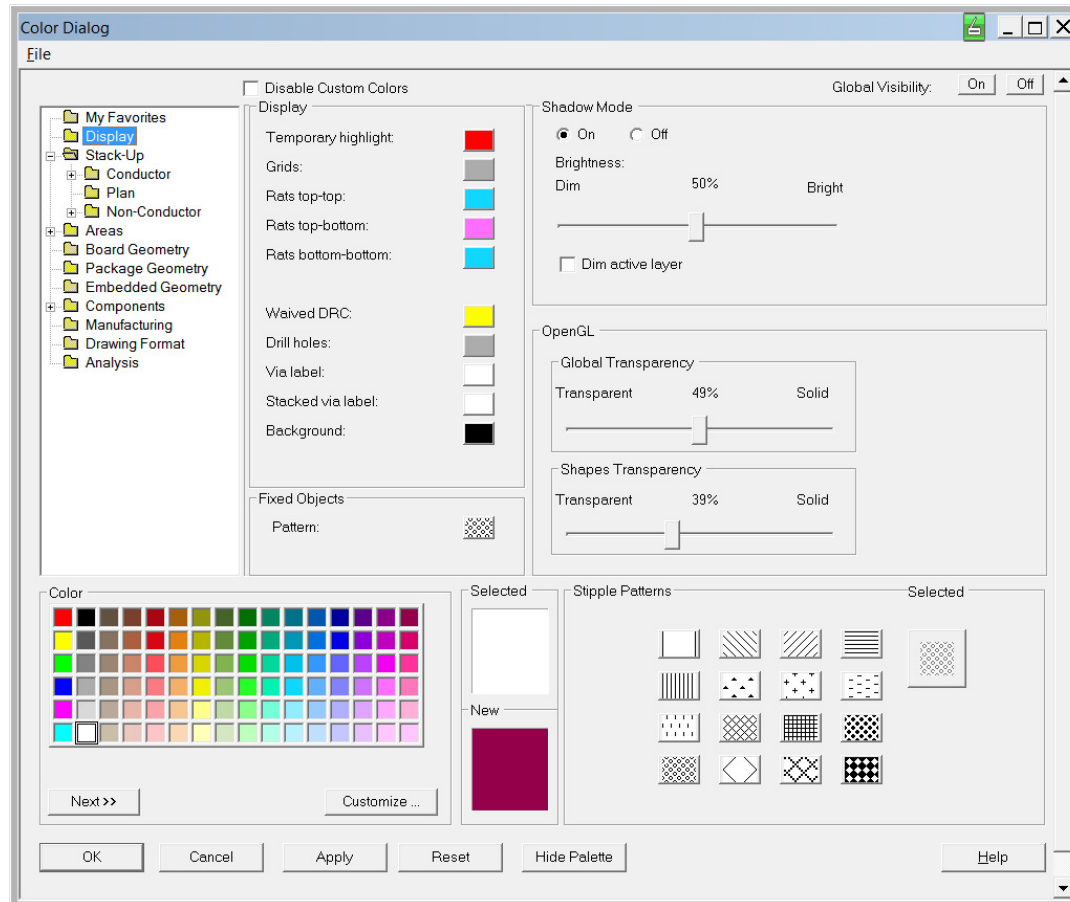
Kontrolle Conductor Lagen Plane Lagen

Individuelle Lagenkontrolle

Individuelle Elementkontrolle

Shadow Modus

Der Shadow Modus ist sehr effektiv beim interaktiven Arbeiten mit hochlagigen Multilayern einsetzbar. Die Einstellung (Grad des Dimmens) erfolgt über den Color Dialog, das Ein/Aus Schalten über das Icon



**ON/OFF
Shadow Mode**



Tipp:

Ist OpenGL aktiv, dann kann der Transparency Mode sehr effektiv genutzt werden, um Kupferflächen und Leiterbahnen durchsichtig zu gestalten.

Tipp:

Neben dem Shadow Modus sind über **Display > Color/Visibility** auch Farbeinstellungen für das Display möglich (Grids, Ratsnest, Temporary/Permanent Highlight und Background etc. möglich).

User Preferences

Über **Setup > User Preferences...** können Sie das Verhalten des PCB Editors und auch viele Voreinstellungen vordefinieren.

Eine der wichtigsten Einstellungen ist der im Bild dargestellte **psmpath**. Dieser und der **padpath** entscheiden, ob Bibliothekselemente während der Platzierung gefunden werden oder nicht.

Das Bild zeigt die Default Einstellung, die Sie am Anfang möglichst unverändert lassen sollten.

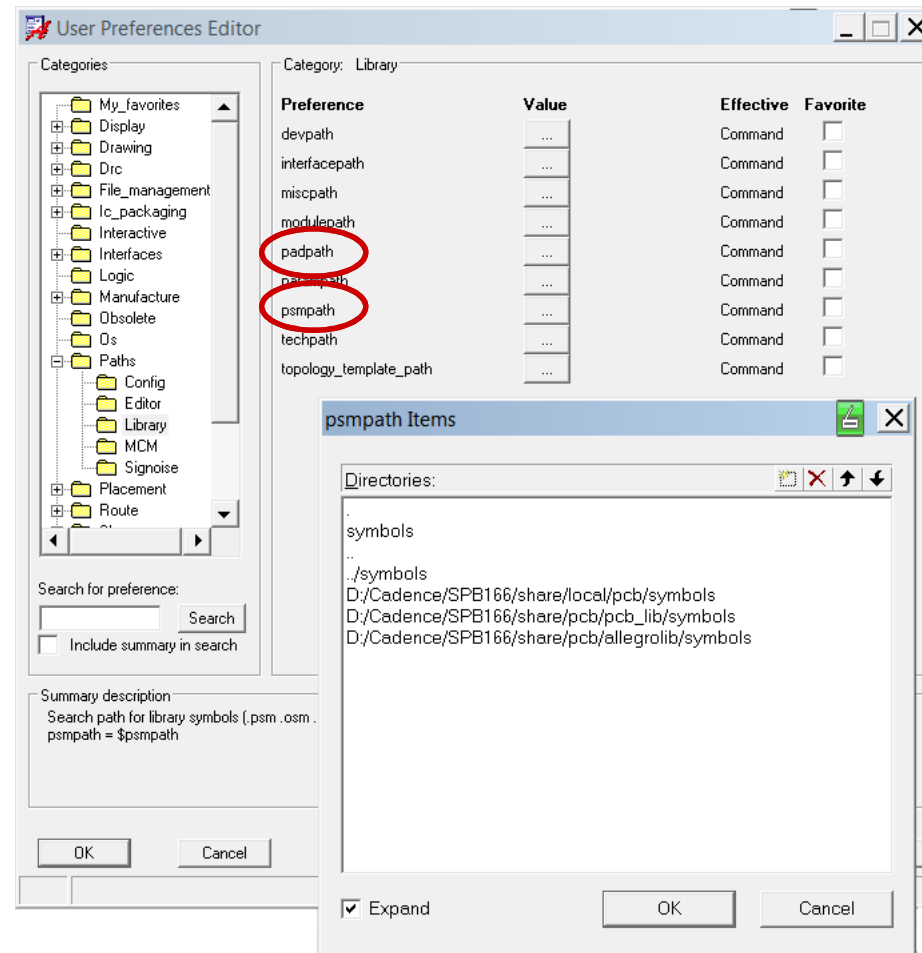
Sämtliche Default Einstellungen des PCB Editors sind in einem File namens „**env**“ unter:

<Ihre_Installation>/share/pcb/text abgespeichert.

Sobald Sie dieses Menü aufrufen und eine Veränderung vornehmen, wird in Ihrer Home Directory ein Ordner **PCBENV** erstellt, der ebenso eine **env** Datei enthält. In dieser können Sie dann z.B. Ihre persönlichen Aliases und Funckeyes definieren. Bei jedem Neustart des PCB Editors wird diese **env** - Datei automatisch gelesen.

Tipp:

Definieren Sie in Ihrer Windowsumgebung eine Variable „**Home**“ und weisen Sie dieser einen eindeutigen Pfad zu, in welchem dann der obige **PCBENV** Ordner und die **env** Datei angelegt werden. Näheres hierzu in der Cadence Dokumentation.



Übung: User Preferences (1)

Zunächst definieren wir eine Home Variable in der Windows Umgebung. Damit legen wir fest, in welchem Pfad der über User Preferences erzeugte **env – File** für die persönlichen Einstellungen abgelegt wird.

Für **Win-XP** gehen Sie wie folgt vor:

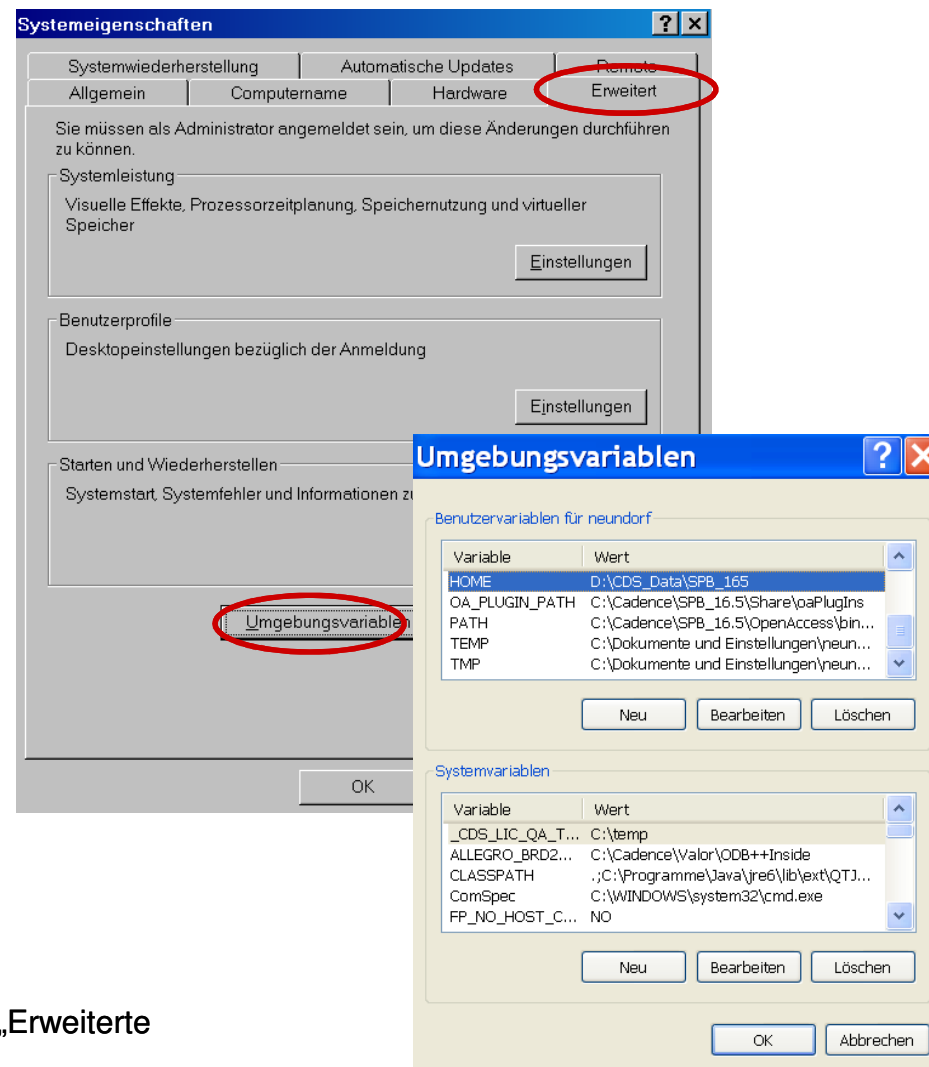
1. **Start > Einstellungen > Systemsteuerung > System**
2. Unter Systemeigenschaften wählen Sie **Erweitert** und dann **Umgebungsvariablen**

Die Home Variable kann als User oder Systemvariable definiert werden, je nach dem welche Zugriffsrechte Sie haben.

3. Bestätigen Sie die Eingaben mit „**OK**“
4. Starten Sie den PCB Editor und laden Sie das **sample.brd** aus dem Ordner Sample.
5. Mit dem Kommando „**set**“ in der Commandzeile des PCB Editors können Sie das Vorhandensein der Variable Home und den gesetzten Pfad überprüfen.

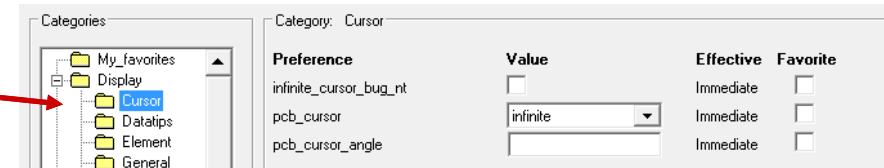
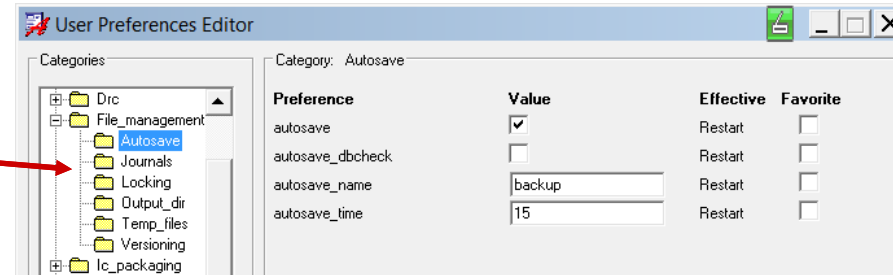
Hinweis:

Für **Windows 7** schauen Sie in der dortigen Hilfe zu „Erweiterte Systemeigenschaften“ nach.



Übung: User Preferences (2)

- Im OrCAD PCB Editor wählen Sie **Setup > User Preferences...**
- Wählen Sie den Ordner **File_Management/Autosave** und tragen nebenstehende Werte ein und **Apply**.
Nach erneutem Aufruf des PCB Editors erfolgt alle 15min ein Autosave unter dem Namen backup.brd.
- Wählen Sie den Ordner **Display/Cursor** und tragen Sie nebenstehende Werte ein und **Apply**.
Es wird sofort ein großer Cursor dargestellt.
- Wählen Sie den Ordner **Display/Highlight**, selektieren Sie **display_nohilitfont** und **Apply**.
- Wählen Sie **i** oder **F5** (Find-Filter auf Nets) und selektieren Sie eine Leiterbahn.
Die temporäre Highlightfarbe ist durchgängig.
- Schließen** Sie den PCB Editor!
- Lokalisieren Sie den **env** File (Home) und öffnen Sie ihn mit Wordpad. Sie sehen etwa diesen Inhalt mit den bisher gemachten Einträgen.
- Jetzt tragen wir unsere Alias und Funckey aus dem vorherigen Kapitel gleich nach der Zeile „**source**“ ein. Speichern Sie den File wieder als „**env**“ (**Achtung: nur reiner Text, ohne Formatierung und Extension**).
- Starten Sie den PCB Editor erneut, die Kommandos sind jetzt verfügbar.



```
source $TELENV

### User Preferences section
### This section is computer generated.
### Please do not modify to the end of the file.
### Place your hand edits above this section.
###
set autosave_time = 15
set autosave
set autosave_name = backup
set display_nohilitfont
set pcb_cursor = infinite
```

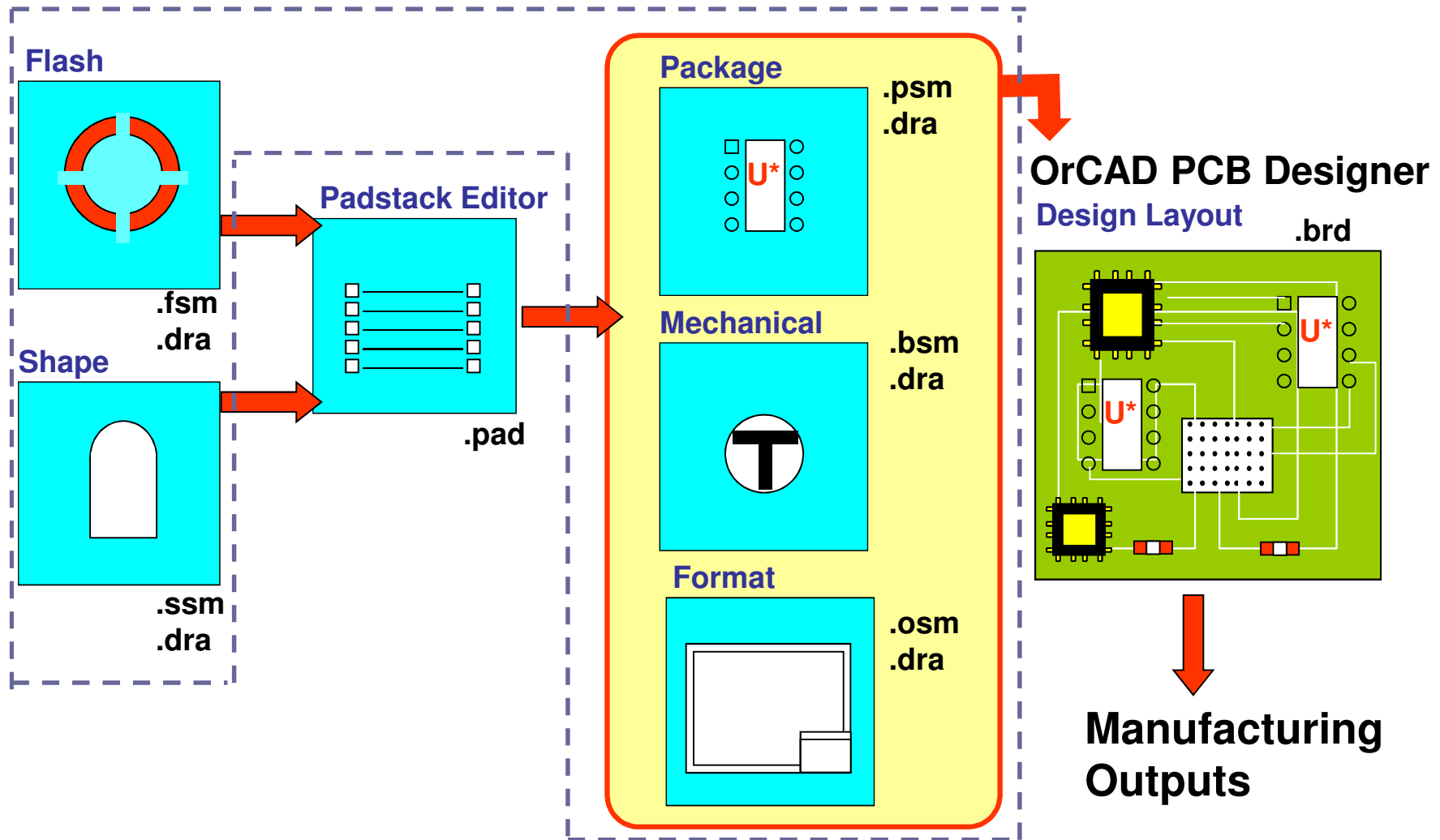
```
source $TELENV
alias Home zoom fit
funckey r iangle 90|
```

```
### User Preferences section
### This section is computer generated.
```

Bibliothek

PCB Editor- Übersicht

Symbol Editoren



Bibliothek Elemente

Bibliotheken, die für das Layout erforderlich sind, bzw. dort Verwendung finden, können verschiedene Elemente enthalten.

Im Folgenden ein kurzer Überblick über diese Elemente und deren Bedeutung:

Boardtemplate (.brd)	vordefiniertes Board mit Außenkontur, Technologie (Spacing...) und Vorplatzierung
Package Symbol (.psm)	Footprint (DIP14, SOIC16 etc.), Package Symbol
Padstack (.pad)	Lötaugen- und Bohrdefinition der Anschlusspins auf den einzelnen Lagen
Mechanical Symbol (.bsm)	vordefinierte Außenkontur mit evtl. Befestigungsbohrungen, Boardsymbol, mit mechanischen Pins
Format Symbol (.osm)	Zeichnungsrahmen für Dokumentation, darf keine Pins enthalten.
Shape Symbol (.ssm)	vordefinierte Kupfergeometrie z.B. für spezielle Pad-Formen,
Flash Symbol (.fsm)	Kupfergeometrie für Thermalanschlüsse auf Planelagen (Wärmefallen)

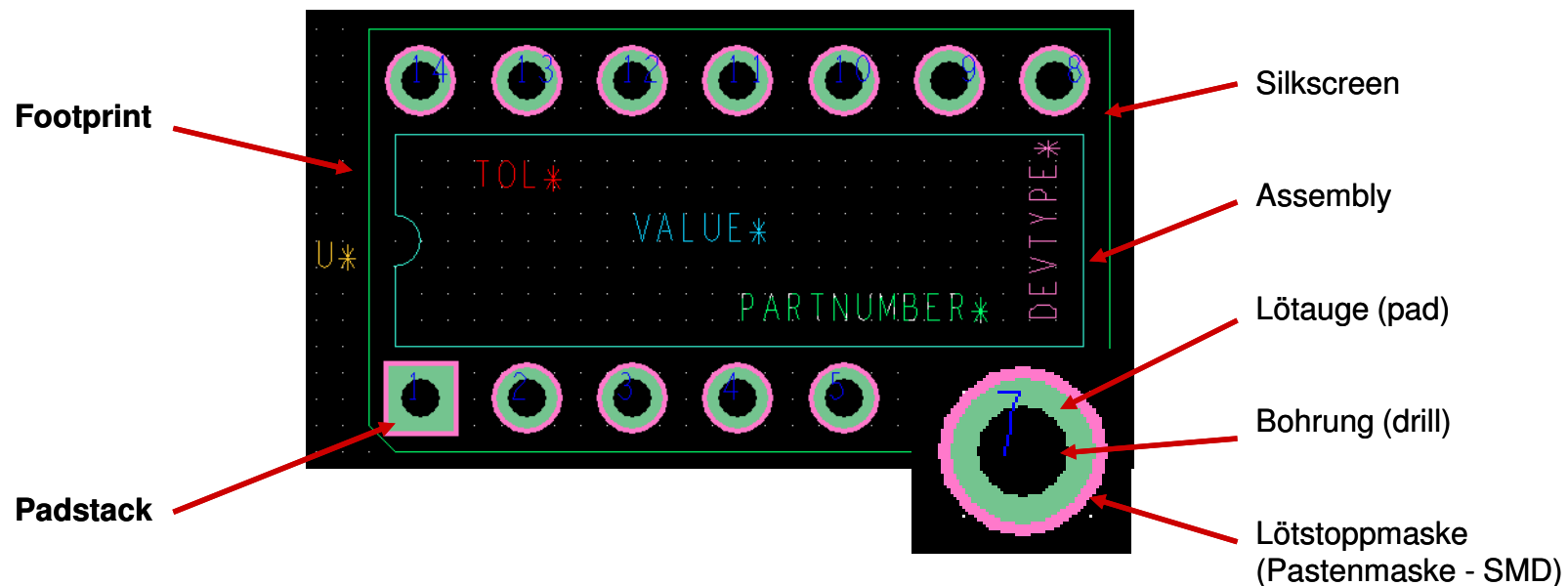
Padstack und Package Symbol werden auf den nachfolgenden Seiten näher erläutert.

Tipp:

Die aufgeführten Symbole werden unter Verwendung der verschiedenen **Symbol Editoren** als .dra bearbeitet und gespeichert **und** in der kompilierten Form (.psm, .bsm, .osm, .ssm, .fsm) dem Layout zur Verfügung gestellt. Da im .dra File auch die Definition enthalten ist, um welchen Symboltyp es sich handelt, startet beim Laden eines .dra-Files auch gleich der richtige Symbol-Editor. Für die Padstacks existiert ein separater **Padstack-Editor**.

Footprint als Basic Symbol

Die Symbol Editoren dienen der Verwaltung der für das Layout erforderlichen Bibliothekssymbole.
Stellvertretend wird hier das wichtigste Element, der Footprint, etwas näher erläutert.



Daneben gibt es natürlich auch reine grafische Symbole für Dokumentations- oder Fertigungszwecke, die über einen der Symbol Editoren verwaltet werden können.

Hier wären z.B. Firmen-Logos, Zeichnungsrahmen, oder auch Passermarken für die Leiterplattenfertigung zu nennen.

Padstack (Aufbau)

Das wichtigste Element eines Footprints ist das Padstack oder auf deutsch auch Lötungenstapel.

Das Padstack definiert die geometrische Form eines Lötages auf jeder einzelnen Lage einer Leiterplatte, sowie den Durchmesser der Bohrung die der bedrahtete Pin eines Bauteils aufnimmt.

Man unterscheidet im wesentlichen 2 Typen von Padstacks:

Through-Hole Padstack



Surface-mount Padstack



Die Pad Größen werden für alle Lagen (elektrisch und nichtelektrisch) im Padstack-Editor definiert.

Elektrische Lagen sind alle Signal- und Planelagen.

Nichtelektrische Lagen sind Soldermask, Pastemask sowie Filmmask, wobei letztere beliebig verwendet werden kann.

Default Routing Lagen sind BEGIN Layer, DEFAULT INTERNAL und END Layer.

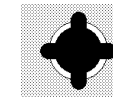
Die DEFAULT INTERNAL Definition wird standardmäßig benutzt, wenn zusätzlich zu TOP und BOTTOM weitere Innen-Lagen hinzugefügt werden.

Anti-Pad und Thermal-Relief finden nur auf negativen Planes (negative Kupferflächen auf Innenlagen) Anwendung (siehe Stackup Definition).

Padstack (Details)

- **Regular Pad:**
Ein positives Pad mit einem regulären Shape (circle, square, rectangle, oblong, octagon). Nur auf positiven Lagen.
- **Thermal Relief, Positiv:**
Verwendet um Pins auf positiven Lagen mit Kupferflächen zu verbinden. Es ist eine Kombination aus regulärem Pad, physikalischen Regeln und Abstandsregeln.
- **Thermal Relief, Negativ:**
Ein Flash wird benutzt, um ein Pin auf einer negativen Plane anzuschließen
- **Anti-Pad:**
Ein Anti-Pad isoliert einen Pin von einer es umgebenden negativen Kupferfläche.
- **Shape:**
Nicht reguläres Pad welches nur durch einen Polygon (Shape) beschrieben werden kann. Wird mit dem Shape Editor definiert.

regular



TR_80_60



anti-pad



Tipp:

Bitte achten Sie darauf, immer alle Pad-Typen (Regular-, Thermal- und Anti-Pad) für alle Default Routinglagen zu definieren, da Sie üblicherweise immer ein allgemein zu verwendendes Padstack definieren.

Thermal Relief / Flashsymbol

Ein Thermal Relief ist eine spezielle Form, um eine Verbindung eines Pins zu einer Kupferfläche herzustellen. Hiermit soll ein zu schneller Wärmeabfluss in Pin-Nähe, insbesondere beim Auslötprozess verhindert werden.

Der PCB Editor unterstützt „positiv Plane“ und „negativ Plane“ Thermal Reliefs.

•Positiv Plane Thermal Relief:

Kombination aus Löttauge (Pad), physikalischen Regeln und Abstandsregeln.

•Negativ Plane Thermal Relief:

wird durch ein Flash Symbol definiert.

Ein Flash Symbol wird mit dem PCB Symbol Editor erzeugt:

File > New > Flash Symbol

The image illustrates the process of creating a Flash Symbol in FlowCAD. It starts with the 'New Drawing' dialog where 'Flash symbol' is selected. This leads to the 'Add' menu where 'Flash' is highlighted. The 'Thermal Pad Symbol' dialog is then shown with the following settings:

- Thermal Pad Definition:** Inner diameter: 60.0, Outer diameter: 80.0
- Spoke definition:** Spoke width: 20.0, Number of spokes: 4, Spoke angle: 45
- Center Dot Option:** Add center dot, Dot diameter: 0.0

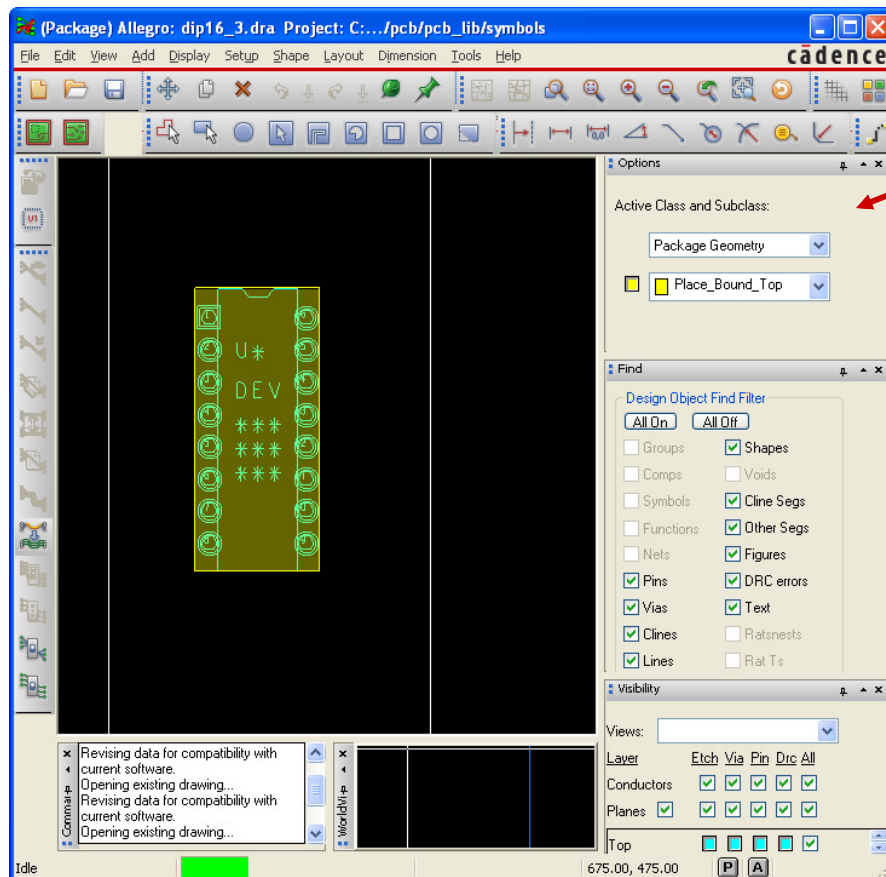
The final result is a symbol named 'tr_80_60.fsm' which is a circular thermal relief with four spokes.

Tipp:

Es wird für jeden, oder jeden 2. Bohrdurchmesser ein separates Flashsymbol (Größe) empfohlen.

Bibliothekswerkzeuge

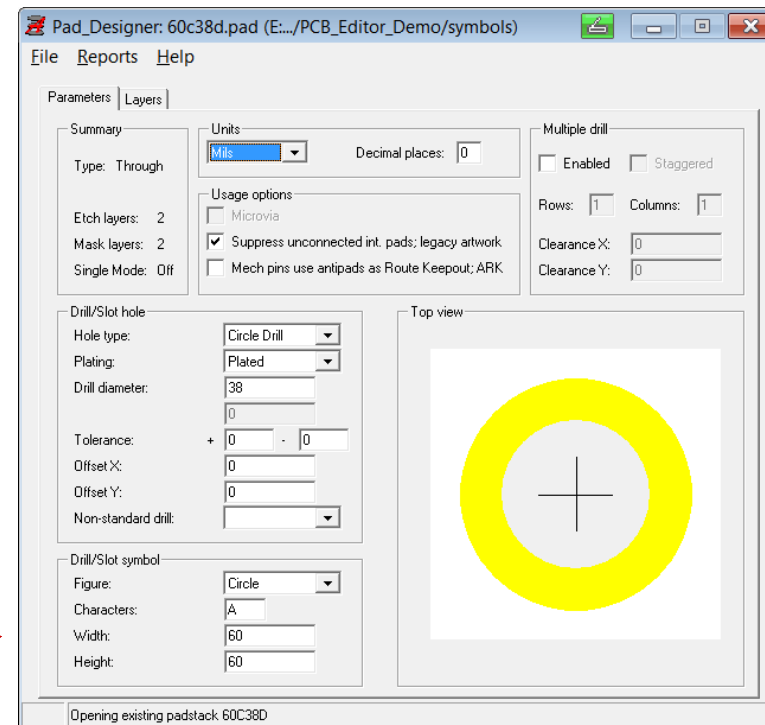
Für die Bibliotheksarbeit stehen zwei Tools (Symbol Editor, Pad Designer) zur Verfügung.



Padstack Designer zur Generierung und Modifizierung von Padstacks

Der **Symbol Editor** existiert in **5 Varianten**, (Package-, Mechanical-, Format-, Shape-, Flash-Symbol Editor), jeweils auf Basis des PCB Editors.

Das Board Template bildet eine Ausnahme, da dieses direkt den PCB Editor benötigt.



Pad Designer - Parameter

Start des Pad Designers kann erfolgen über:

Start > Programme > Cadence > Release 16.5 > PCB Editor Utilities > Pad Designer

oder direkt aus dem OrCAD PCB Designer:

Tools > Padstack > Modify Design [Library] Padstack...

Im **Parameters** Menü können Sie verschiedene Voreinstellungen treffen, in welcher Art bzw. Technologie der Padstack Verwendung finden soll.

Wichtigste Parameter sind:

Type: Through, Blind/Buried, Single

Units: metrisch oder zöllig

Hole Type: Bohrgröße und Form (hier sind auch Langlöcher möglich)

Plating: durchkontaktiert oder nicht (z.B. Befestigungsbohrungen)

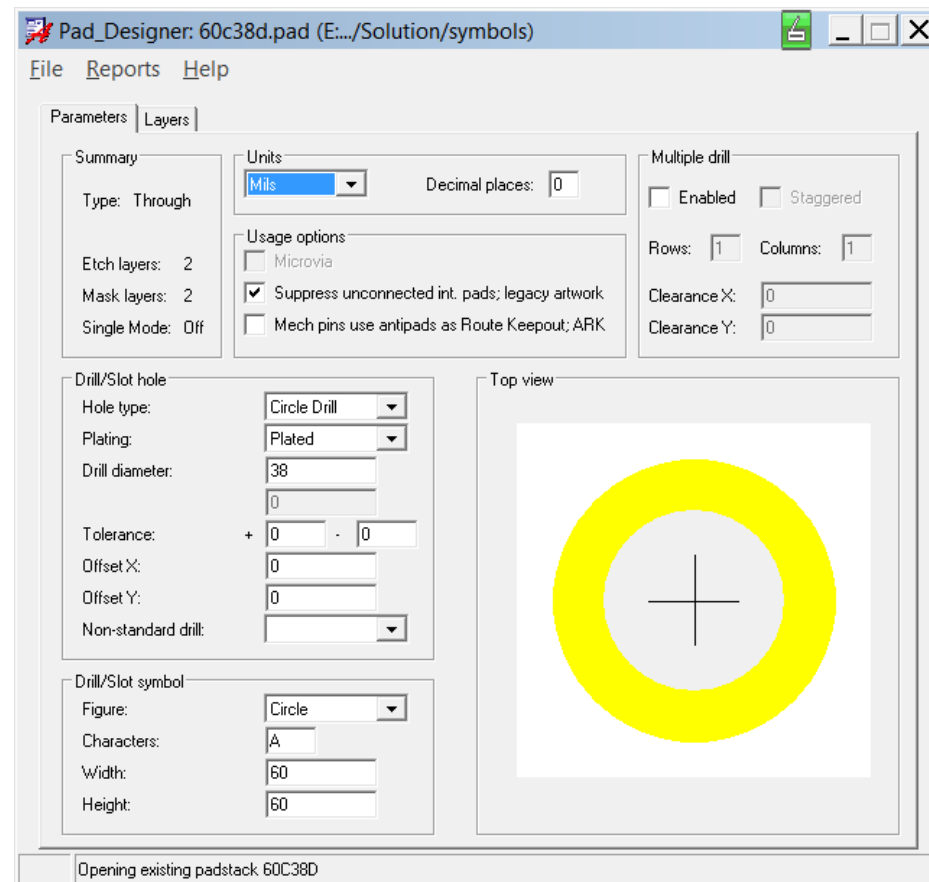
Diameter: Bohrdurchmesser

Usage Option: hier kann z.B. das automatische Unterdrücken von nicht angeschlossenen Lötäugen im Design definiert werden.

Ergänzend:

Tolerance: für Doku

Drill Symbol: für Bohrplan



Pad Designer – Layers

Im **Layers** Menü werden Pad Geometrien und Pad Größen für die einzelnen Lagen definiert.

Um die Geometrie und Größe zu definieren, selektieren Sie, wie dargestellt, die zu bearbeitende Lage.

Im unteren Teil können Sie dann die Einträge vornehmen.

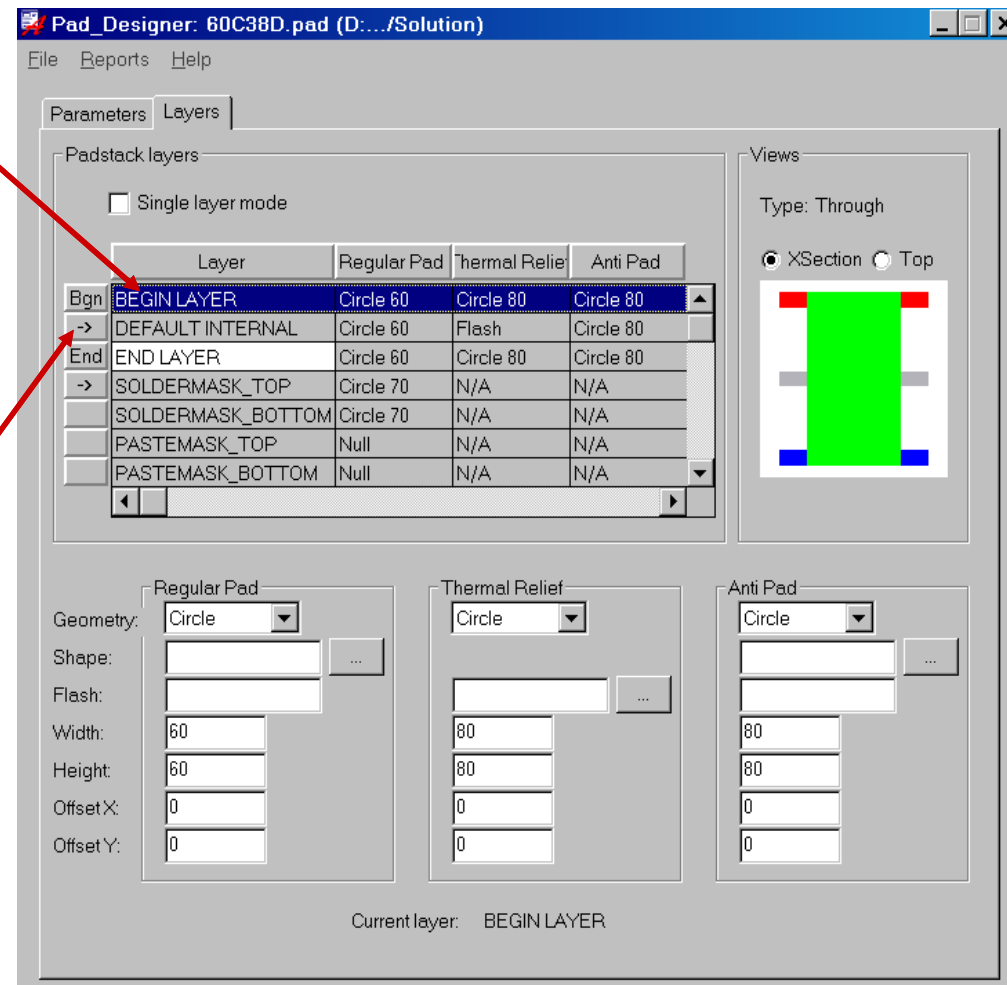
Neben den Standardlagen **Begin Layer**, **Default Internal** und **End Layer**, werden hier auch die Definitionen für die Löstoppsmaske (Soldermask) und Lötpastenmaske (Pastmask) vorgenommen.

Zwischen Begin Layer und End Layer sind mittels „**RMB > Insert**“ spezielle Lagen einfügbar, sofern erforderlich. Bitte hierzu Doku-Hinweise beachten.

Tipp:

Tragen Sie für alle Routinglagen auch die erforderlichen Thermal Relief und Anti-Pad Definitionen ein, auch wenn deren Verwendung im Moment noch nicht vorgesehen ist.

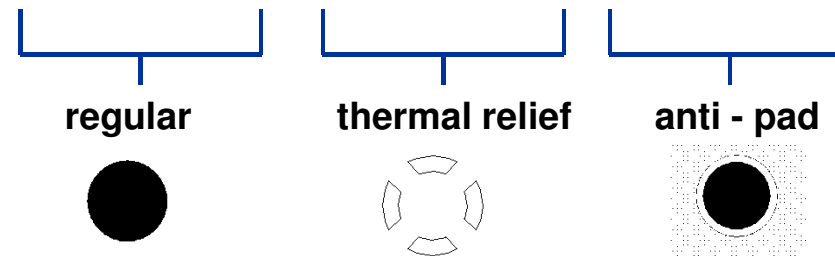
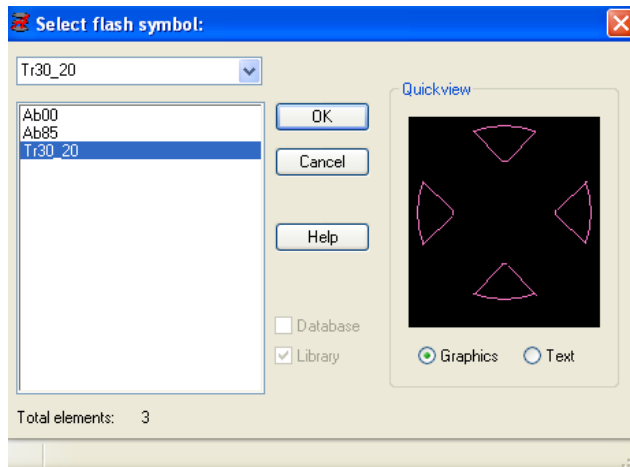
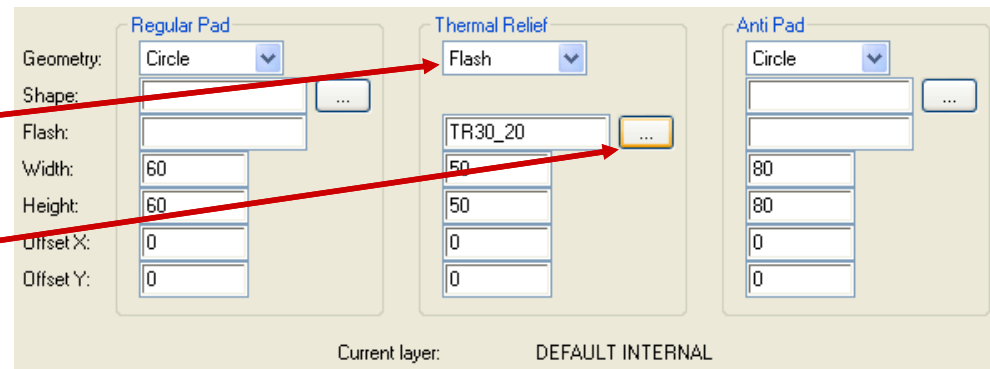
- Ist aber nicht zwingend erforderlich



Pad Designer – Shapes/Thermal Reliefs

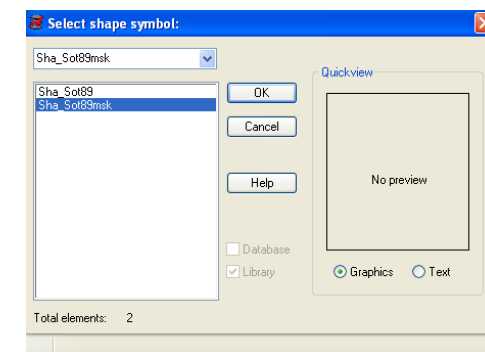
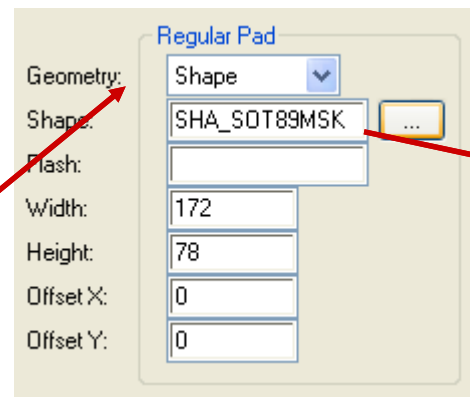
Um einem Padstack ein Thermal Relief zuzuweisen, müssen Sie die Geometrie auf „Flash“ setzen und unter Flash den Filenamen eintragen, der dieses Thermalrelief definiert.

Über den Browser-Button kann die betreffende Definition ausgewählt werden. (Achtung: Environment-Set Up beachten)



Für Padstacks mit nichtregulärer Form ist die Geometrie auf „Shape“ zu setzen und der Filename, der diese Geometrie beschreibt, unter Shape einzutragen.

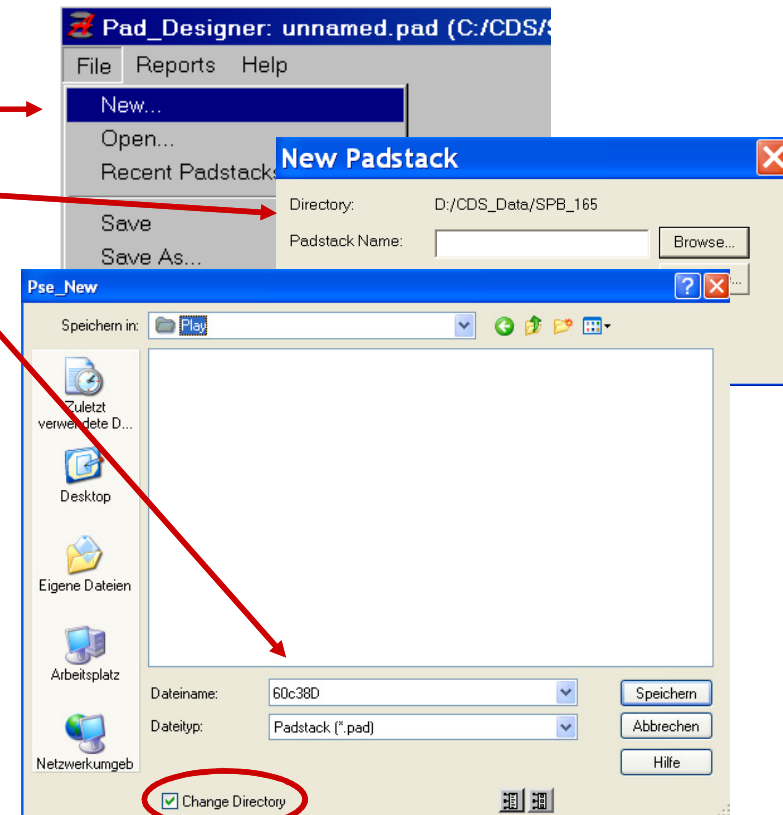
Auch hier hilft ein Browser bei der Suche.



Übung: Padstack - Beispiel (Start)

Im folgenden wird der Ablauf einer Padstack Generierung anhand eines Through Hole Padstacks gezeigt.

1. **Start > Programme > Cadence > Release 16.6 > PCB Editor Utilities > Pad Designer**
2. **File > New** im Pad_Designer.
Es erscheint nebenstehendes Browser Fenster.
3. Navigieren Sie zu Ihrem gewünschten Ordner (hier **Play**)
4. Tragen Sie den Padstacknamen **60c38d** unter Dateiname ein
5. Aktivieren Sie die **Change Directory** box. Hiermit wird der gewählte Ordner Ihr Arbeits-Ordner.
6. „**Speichern**“ Sie den neuen Padstack in den Ordner **Play**. Durch das Selektieren der Checkbox unter 5. wird **Play** als aktueller Arbeitsordner definiert.
7. Titelzeile des Pad Designers zeigt nun Name und Pfad an.
8. Füllen Sie die Felder entsprechend den Abbildungen auf den nächsten Seiten aus.



Tip:

Wenn möglich nutzen Sie die vorgeschlagene Namenskonvention von Cadence (bezieht sich auf Units in mil):

60c = 60mil circle; **38d** = 38 mil Bohrung (Enddurchmesser); weiterhin: **r** = Rectangle; **s** = Square; **o** = Oblong
Diese Notation wird in allen von Cadence gelieferten Padstacks verwendet, und erleichtert die Wiedererkennung.

Übung: Padstack - Beispiel (Parameter)

Nebenstehende Pull-Down-Menüs stellen die verschiedenen Auswahlmöglichkeiten einzelner Parameter dar.

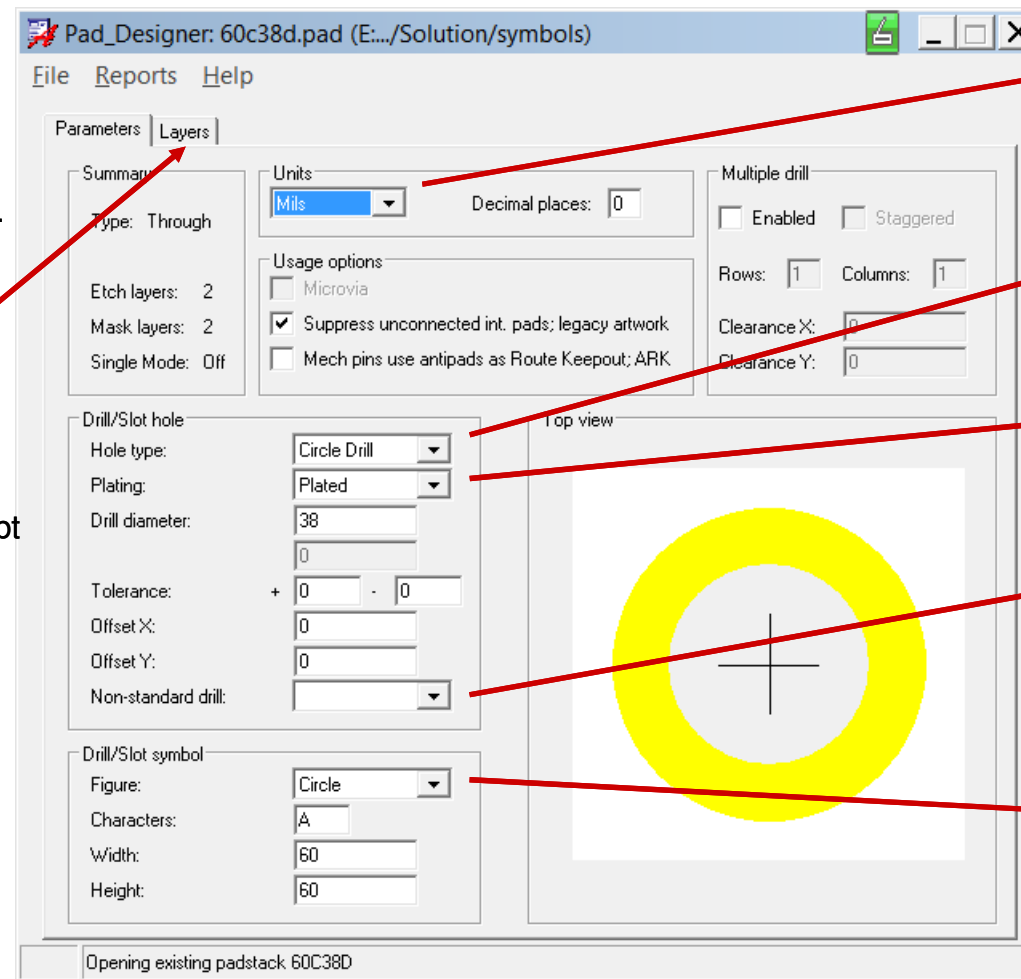
Nach dem Ausfüllen schalten Sie auf das Menü „Layers“ um.

Tipp:

Die Option „**Suppress unconnected ...**“ erlaubt das automatische Unterdrücken nicht angeschlossener Lötungen im Design

Tipp:

Bei Benutzung von Multiple Drill haben Sie die Möglichkeit einem Pad gleichzeitig mehrere Bohrungen zuzuweisen (z.B. für Hochstrom-Vias)



- Mils
 - Inch
 - Millimeter
 - Centimeter
 - Micron
-
- Circle Drill
 - Oval Slot
 - Rectangle Slot
-
- Plated
 - Non-Plated
 - Optional
-
- Laser
 - Plasma
 - Punch
 - Wet/dry Etching
 - Photo Imaging
 - Conductive Ink Formation
 - Other
-
- Null
 - Circle
 - Square
 - Hexagon X
 - Hexagon Y
 - Octagon
 - Cross
 - Diamond
 - Triangle
 - Oblong X
 - Oblong Y
 - Rectangle

Übung: Padstack - Beispiel (Layers)

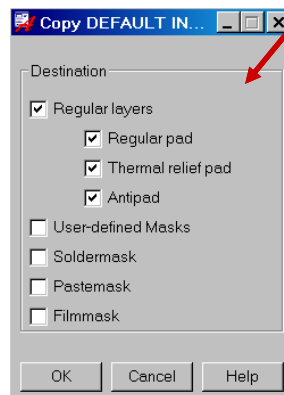
Tragen Sie alle dargestellten Werte in das Layers Menü ein. Verfahren Sie dabei wie folgt:

1. Selektieren des **Begin Layer**
2. Eintragen der Werte in den unteren 3 Spalten.
3. Selektieren der Lage **Default Internal** und dann **End Layer**.

Tragen Sie auch hier die dargestellten Werte ein.

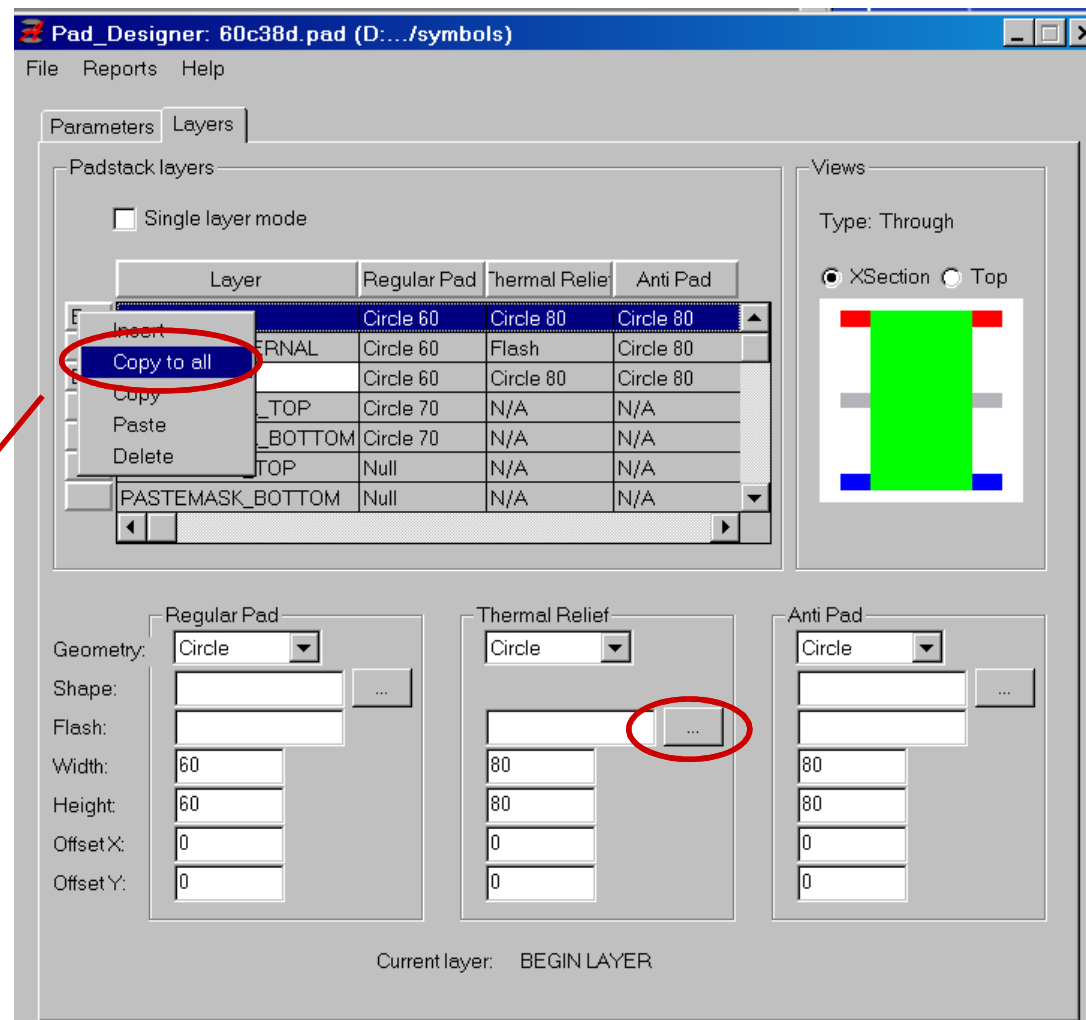
4. Speichern Sie mit:

File > Save oder **File > Save As...**



Tipp:

Sie können die Werte auch über die **RMB >Copy to all** Funktion eintragen wenn diese gleich sind

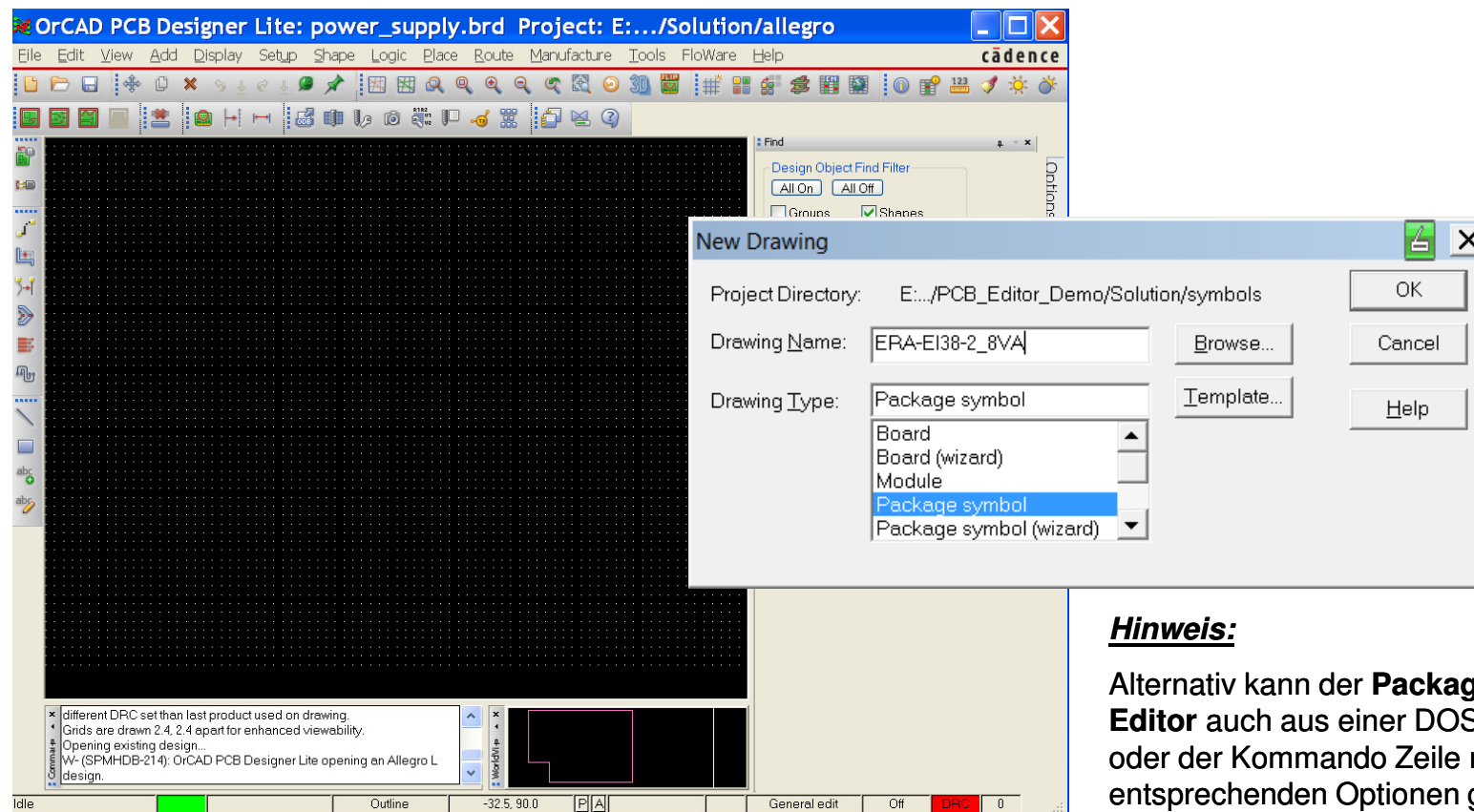


Symbol Editor (Basics)

Da wir in dieser Übung für den Transformator keinen Footprint in den vorliegenden Bibliotheken haben, nutzen wir die Gelegenheit an dieser Stelle, mit Hilfe des **Package Symbol Editors** einen eigenen neuen Footprint zu erstellen.

Den **Package Symbol Editor** kann man üblicherweise nur aus einem bereits geöffneten PCB Editor über:


„**File New > Package Symbol**“ starten.



Hinweis:

Alternativ kann der **Package Symbol Editor** auch aus einer DOS-SHELL oder der Kommando Zeile mit entsprechenden Optionen gestartet werden (Online Hilfe).

Symbol Editor (Setup)

Nach dem Öffnen des neuen Symbols „ERA-EI38-2_8VA“ erscheinen in der Titelleiste des aktiven Fensters der gewählte Symbolname und der zugehörige Pfad. 

Über **Setup > Design Parameters...> Design** können Sie die Units, die Nachkommastellen, die Arbeitsfeld-Größe, sowie dessen Nullpunkt festlegen.

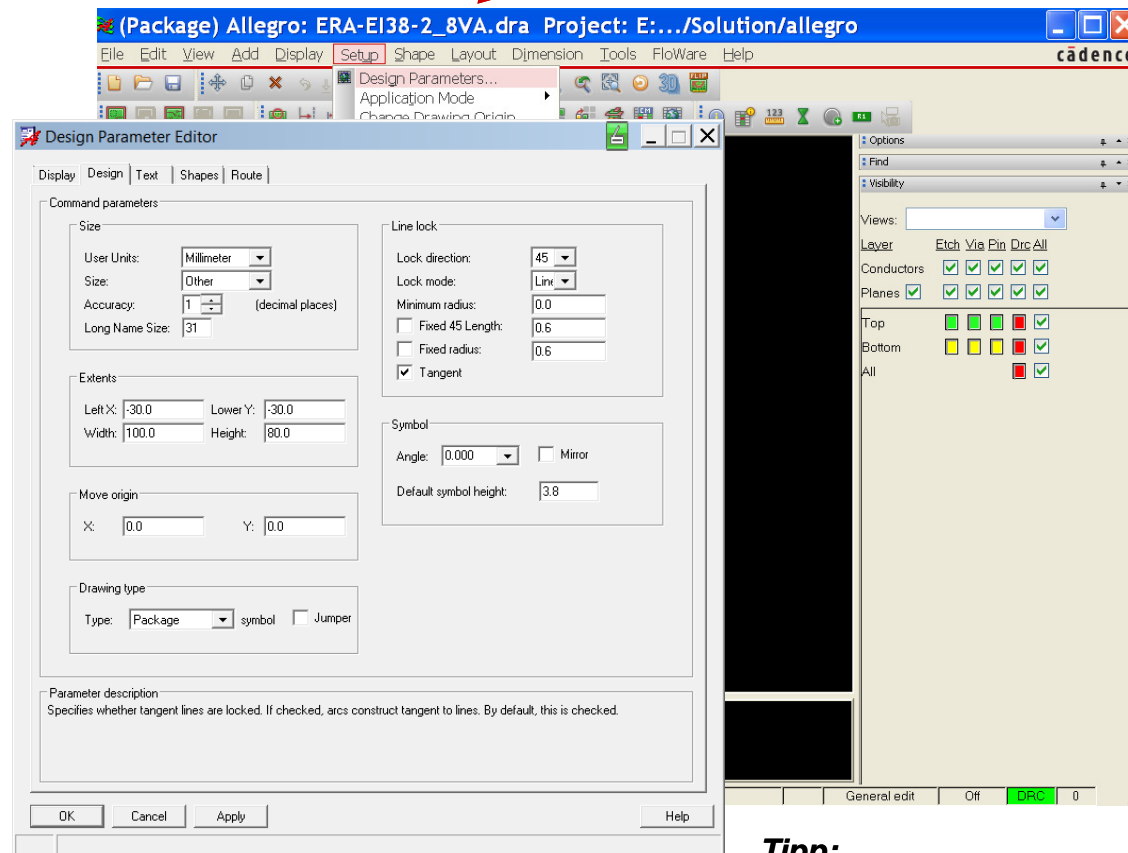
Die Nullpunktverschiebung ist erforderlich, wenn auch mit negativen Koordinaten gearbeitet wird (z.B. Massblattvorgaben).

Tipp:

Left X: / Lower Y: ist die linke untere Ecke der Arbeitsfläche.

Width und Height sind Breite und Höhe der Arbeitsfläche.

Move Origin verschiebt nur den Nullpunkt in vorgegebener Richtung ohne die Größe der Arbeitsfläche zu verändern.



Mit „**Change Drawing Origin**“ unter Setup können Sie den Nullpunkt auch einfach mit der Maus neu positionieren.

Tipp:

Erstellen Sie Ihre Footprints **immer** in den Units des Datenblatts.

Design Prozess Footprints

Die Generierung eines neuen Footprints umfasst im wesentlichen die nachfolgend aufgeführten Schritte:

- Setzen von Units, Größe der Arbeitsfläche, Nachkommastellen
- Nullpunkt definieren (ist Fangpunkt für das Bauteil während der Platzierung)
- Grid Raster definieren (erleichtert die Cursorpositionierung mit der Maus)
Über Tastatur ist trotzdem jeder x-beliebige „krumme“ Wert eingebbar.
- Platzieren der Pins (Padstack)
- Assembly und Silkscreen Outline definieren
- Platzierungsbedarf des Bauteils festlegen (Placebound_Top/Bot)
- Evtl. Höhenvorgabe der Placebound_Top/Bot übergeben
- Bauteiltexte hinzufügen bzw. modifizieren (REFDES, DEVICETYPE etc.)
- Speichern in gewünschte Bibliothek

Übung: Package Symbol Beispiel (1)

Im folgenden wird der Ablauf einer Footprint Generierung anhand eines Trafos aufgezeigt (siehe Datenblatt).

Wir gehen davon aus, dass der PCB Editor gestartet ist.

1. **File > New**, es erscheint die „New Drawing“ Dialog Box
2. Eintrag von **ERA-EI30-2_8VA** in das Drawing Name Feld, selektieren der **Package Symbol** Option und setzen des Arbeitsordners mit Browse.
3. Bestätigen mit „OK“
4. **Setup > Design Parameters...**

Setzen der Design Parameter:

Typ: Package

Units: Millimeter

Size: Other

Accuracy: 1

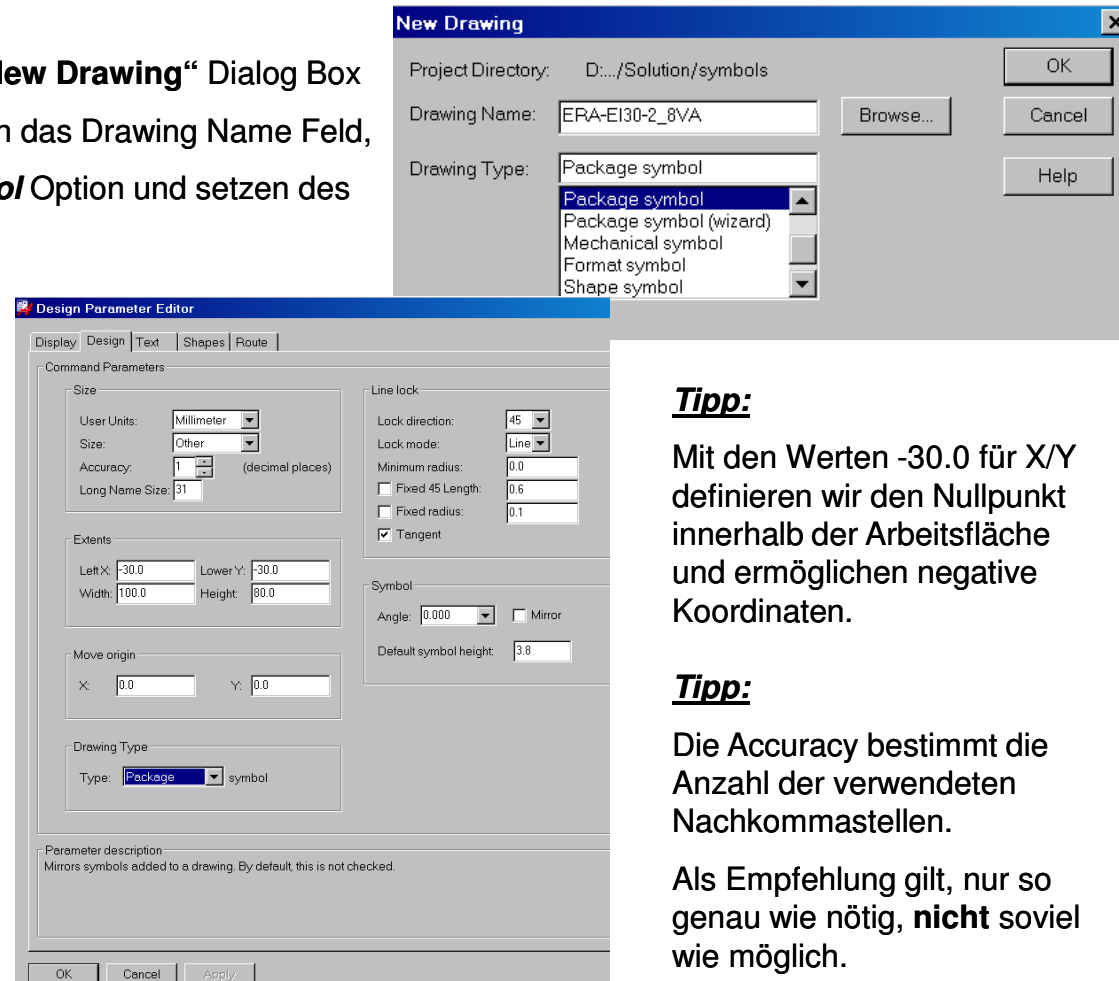
Left X: -30.0

Lower Y: -30.0

Width: 100.0

Hight: 80.0

5. „OK“



Tipp:

Mit den Werten -30.0 für X/Y definieren wir den Nullpunkt innerhalb der Arbeitsfläche und ermöglichen negative Koordinaten.

Tipp:

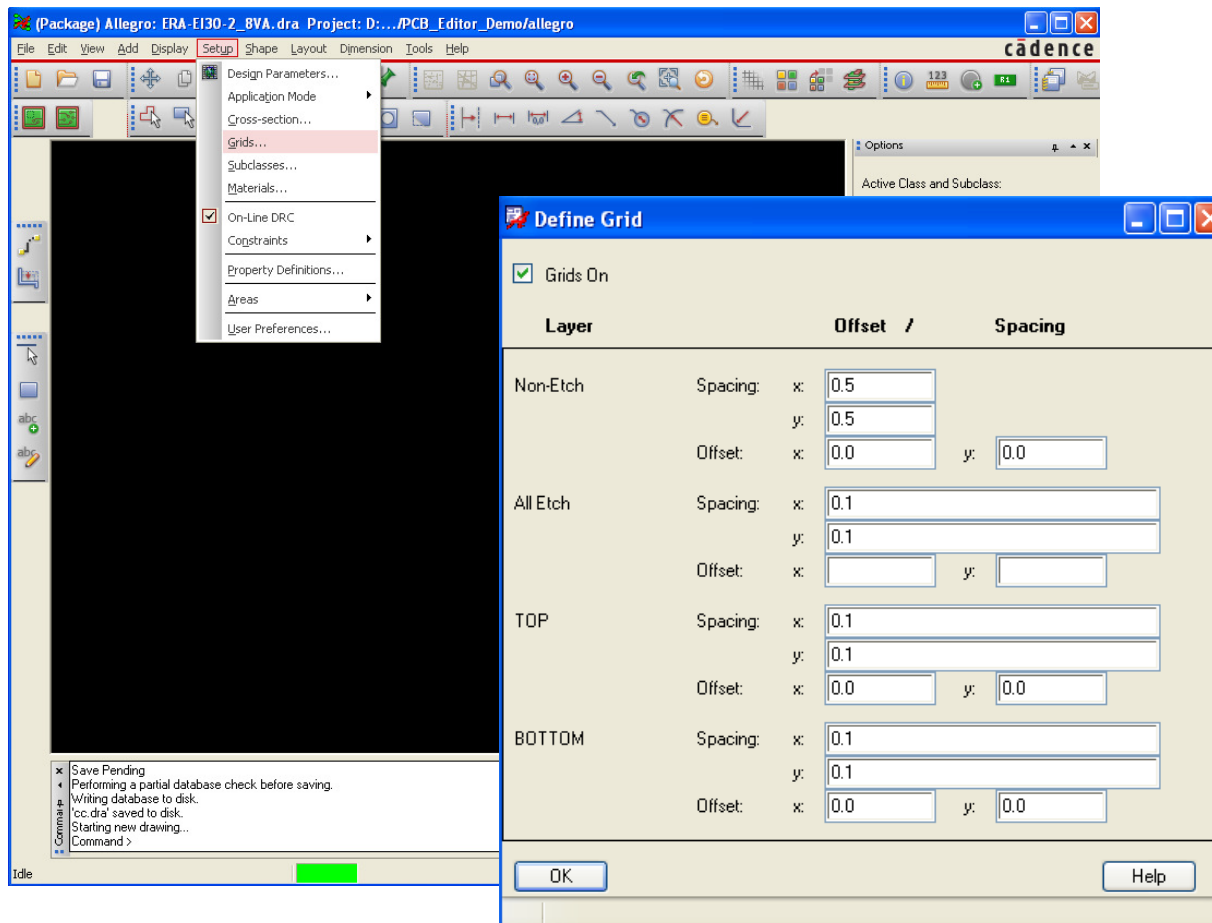
Die Accuracy bestimmt die Anzahl der verwendeten Nachkommastellen.

Als Empfehlung gilt, nur so genau wie nötig, **nicht** soviel wie möglich.

Übung: Package Symbol Beispiel (2)

- Setzen eines praktikablen Grids mittels **Setup > Grids...** (siehe Einträge).
- Speichern Sie den File über „**File > Save as**“ in dem Ordner **Play** und selektieren Sie dabei die Check Box im **Save As Window** wie rechts dargestellt.

Change Directory



Tipp:

Es gibt zwei getrennte Grid-Definitionen:

Non-Etch für Doku-Lagen

All Etch für Routing-Lagen

X und Y können unterschiedlich sein

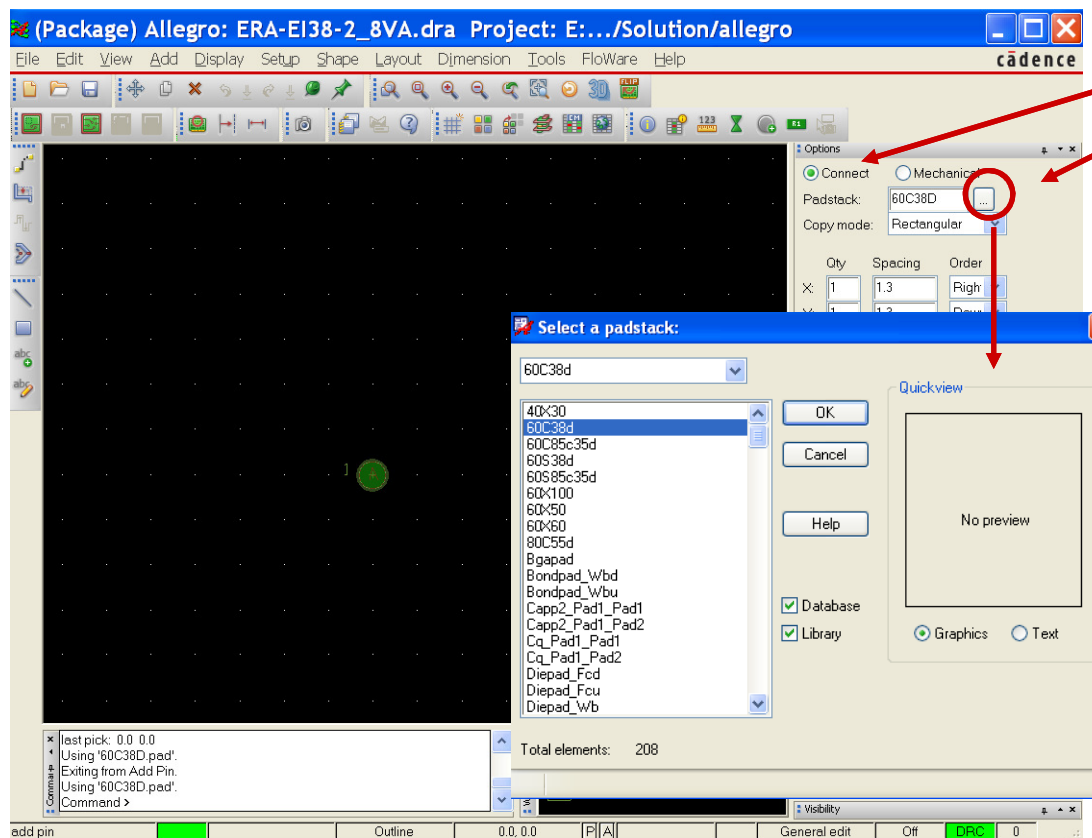
Die Etchlagen (Top, Bot und weitere Innenlagen) können auch einzeln definiert werden.

Übung: Platzierung Pins (1)

Zur Erstellung des Footprints verwenden wir das Datenblatt ([Datenblatt_Trafo.pdf](#)).

Beachten Sie bitte, dass im Symbol Editor in der Regel immer von der Draufsicht ausgegangen wird.

1. Wir beginnen mit **Layout > Pins** oder dem Icon 



Alle Pins werden als **Connect Pins** platziert, da sie eine elektrische Funktion erfüllen sollen.

Das Padstack wählen wir über nachfolgenden Browser, aus der vorhandenen Bibliothek über „OK“ oder Doppelklick.

Der erste Pin wird auf die Koordinaten **X=0; Y=0** platziert. Dies ist auch der Aufrufpunkt (Origin) beim Platzieren des späteren Symbols im Layout.

Dies erfolgt am schnellsten über Eingabe der Koordinaten im Kommandofenster **x 0 0** und **Enter**

Alternativ kann die Eingabe über **Cursor** erfolgen (Kontrolle der Koordinaten rechts unten im Control-Panel)

Übung: Platzierung Pins (2)

Platzieren der weiteren Pins (2–5 und 6-10) entsprechend der Angaben im Datenblatt.

- Das „Add Pin“ Kommando ist noch aktiv, am Cursor hängt Pin 2 zum Platzieren.
- Wir wollen Pin 2 - 5 in einem Schritt platzieren. Doppelklick auf **Qty** – Feld **X** im Option Control-Panel und tragen Sie „4“ ein.
- Drücken Sie die **TAB**-Taste und tragen Sie bei Spacing „5“ ein, erneut **TAB**. Die Option Form ist jetzt bereit ein Array von 4 Pins zu platzieren. Das Spacing ist 5.0mm, der erste Pin des Arrays ist #2 (siehe Pin#:) und die Pins werden von links nach rechts platziert. Der Editor wartet auf die Position des Arrays.
- In der Kommandozeile tragen Sie **x 5 0** ein und drücken Sie „**Enter**“
- Um das nächste Array (Pin 6-10) zu platzieren, tragen Sie im **Qty** Feld **X** „5“ ein. Die Form ist bereit für die Platzierung der nächsten 5 Pins. Das Spacing ist weiterhin 5, der erste Pin ist 6 (siehe Pin#) und die Richtung ist jetzt **Left**. Der Editor wartet auf die Position des Arrays.
- In der Kommandozeile tragen Sie **x 20 20** ein und drücken Sie „**Enter**“
- Sie sollten eine Pinanordnung erhalten wie auf nachfolgender Seite dargestellt.

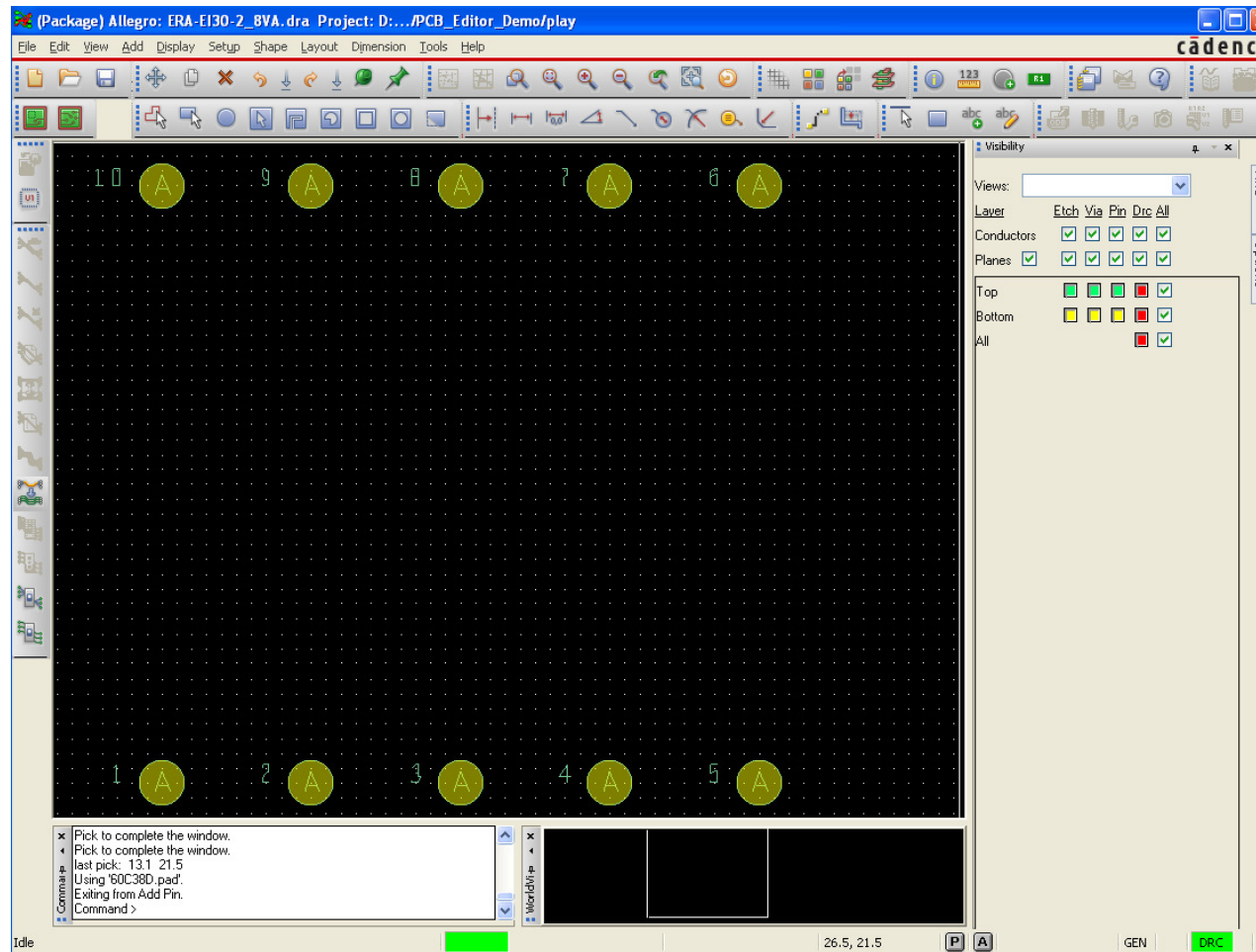
	Qty	Spacing	Order
X:	4	5.0	Right
Y:	1	2.5	Down

	Qty	Spacing	Order
X:	5	5.0	Left
Y:	1	2.5	Down
Rotation:	0.000		
Pin #:	6	Inc:	1
Text block:	1		
Offset X:	-1.0	Y:	0.0

Tip:

Sollten die Pinnummern nicht mit dem korrekten Offset platziert worden sein, so können diese über den Move-Befehl (Filter auf Text) neu justiert werden. Der Offset 0,0 ist ebenso erlaubt.

Übung: Platzierung Pins (3)



Übung: Assembly Outline

Im nächsten Schritt wird dem Symbol eine **Assembly Outline** (üblich für Bestückungsplan) hinzugefügt.

Um ein besseres Zeichnen zu ermöglichen, sollte das Grid weder zu gross noch zu klein gewählt werden.

1. **Setup > Grid** , das Define Grid Fenster erscheint
2. Tragen Sie in der Non-Etch Sektion für **x** und **y** z.B. **0.5** ein. Beachten Sie, dass der Zahlenwert in den Units interpretiert wird, auf die der Editor eingestellt wurde. Wir arbeiten im Moment mit Millimeter.
3. Klick „**OK**“
4. Zoomen Sie etwas heraus, um die Assembly Outline besser setzen zu können.
5. Wählen Sie vom Haupt Menü **Add > Line** um einen Polygon zu zeichnen.

Achten Sie darauf, dass im Option Fenster die aktive Lage korrekt gewählt ist.

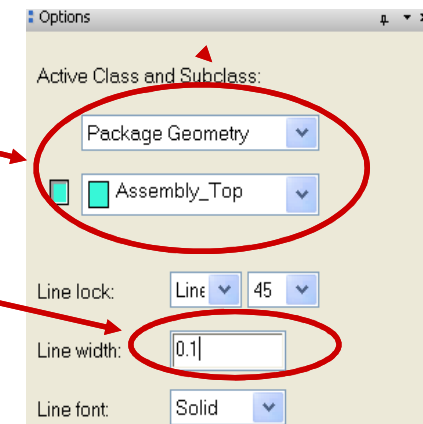
Der Wert für Line width steht für die Strichstärke in der späteren Dokumentation. Die Strichstärke "0" würde in der Ausgabe nicht erscheinen, Geben Sie also einen relevanten Wert (z.B. 0.1) an.

6. Zeichnen Sie ein Rechteck mit den Abmaßen X=33 und Y=28
(0.5mm Toleranz für Bestückung wurden hinzugefügt).
7. Klicken Sie nacheinander **LMB** auf **0 0, 33 0, 33 28, 0 28, 0 0**
8. Klick **RMB** und Done

Sie können diese Werte auch wie folgt in der Kommandozeile eingeben:

x 0 0 ENTER, x 33 0 ENTER, x 33 28 ENTER usw.

9. Justieren Sie das Rechteck entsprechend dem Datenblatt.
10. Sie können das Polygon natürlich auch gleich mit den richtigen Werten, bezogen auf den Nullpunkt eingeben.

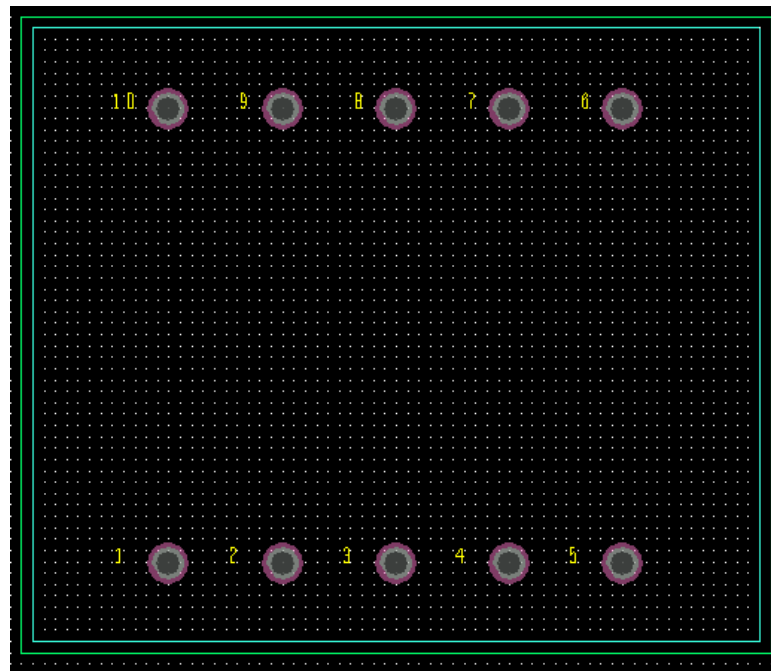
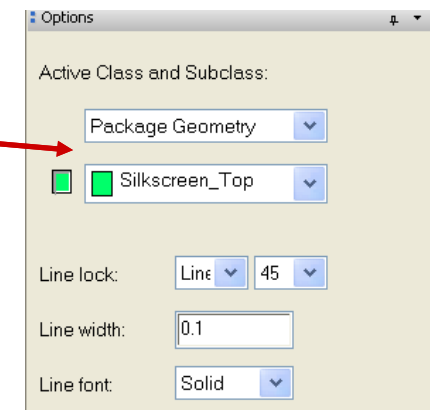


Übung: Silkscreen Outline

Im jetzt folgenden Schritt soll die Silkscreen Outline (Leiterplatten Siebdruck) hinzugefügt werden.

Wir verwenden das bereits eingestellte Raster.

1. Achten Sie darauf, dass die aktive Lage jetzt auf Silkscreen_Top gesetzt ist.
Zeichnen Sie ein Polygon innerhalb der Assembly Linien.
2. Wählen Sie erneut **Add > Line** und Line Width = 0.1



Übung: Platzhalter

Es ist sinnvoll, bereits im Footprint sogenannte Labels zu definieren, die als Platzhalter für die Anzeige von logischen Informationen dienen. Im PCB Editor können insgesamt 5 Labels vordefiniert werden.

- REFDES (Referenz-Nr. des Bauteils, R1, C2 usw.)
- DEVICE (Devicename aus Packager)
- VALUE (Wert des Bausteins, z.B. 10K für Widerstand)
- TOLERANCE (Toleranz falls angegeben)
- PART NUMBER (Sachnummer für Lagerhaltung)

Das Label **REFDES** muss definiert werden, alle anderen sind nicht zwingend.

1. **Layout > Labels > REFDES** oder das REFDES Icon 

beachten Sie, die Voreinstellung der erforderlichen Lagen

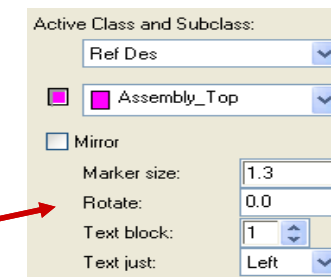
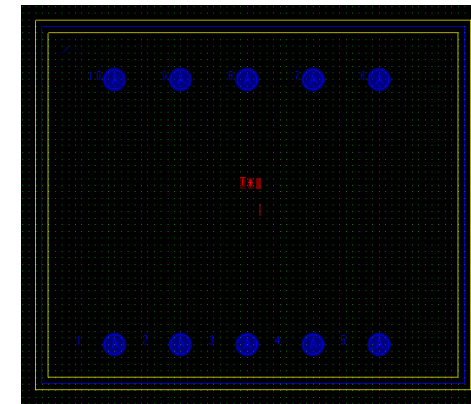
Das System fragt Sie nach der gewünschten Position

2. Klicken Sie innerhalb der Assembly Outline, das System fragt nach einem Text String
3. Tragen Sie z.B. **T*** ein

Dieser String wird später komplett durch den richtigen REFDES ersetzt

Tipp:

Beachten Sie die Optionen Marker Size, Rotate, Text Block, Text Just. Diese sind wichtig für die richtige Größe und Ausrichtung der Textstrings



Übung: Package Boundary

Der Design Rule Check (DRC) benutzt die Package Boundary, um ein Überlappen der Bauteile beim Platzieren zu prüfen und als Fehler anzuzeigen, oder auch dass Platzieren in falsche Bereiche (Keep Out Areas) zu kontrollieren.

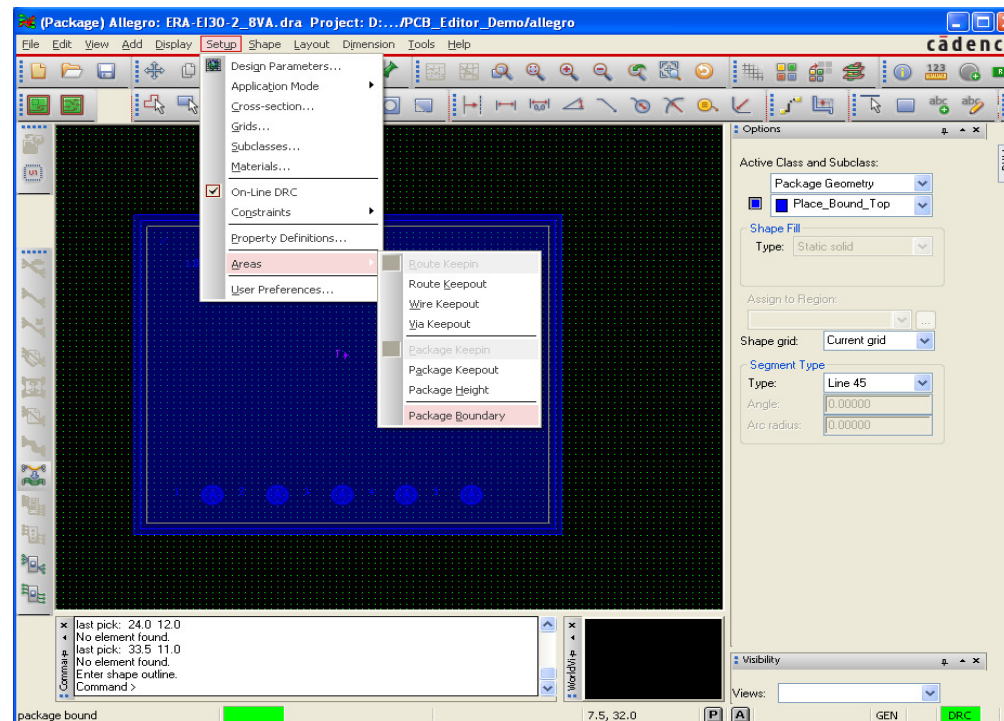
Wenn Sie die Package Boundary nicht selbst generieren, erzeugt sie das System selbst, beim Abspeichern. Allerdings werden damit natürlich nicht zwangsläufig die wirklichen Dimensionen berücksichtigt.

1. **Setup > Areas > Package Boundary** vom Haupt Menü

2. Package_Geometry und Place_Bound_Top werden automatisch als Lage gesetzt.

Definieren Sie die Größe als **Worst Case** bezüglich des Datenblattes.

3. Klick **LMB** um den Polygon für die erforderliche Platzierungsfläche zu generieren. Wenn der Polygon mit **RMB > Done** abgeschlossen ist, wird dieser automatisch gefüllt dargestellt.



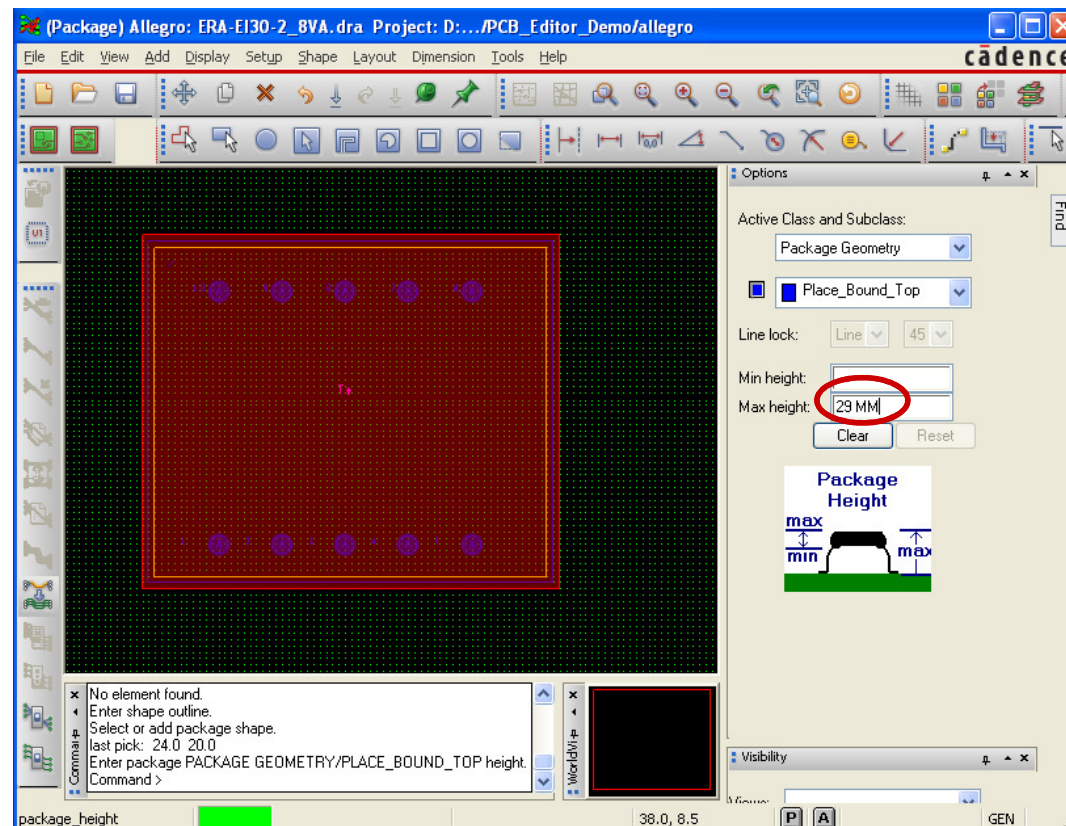
Übung: Package Height

Das DRC Programm nutzt die **Package Height** Info, um die Bauteilplatzierung auf dem Board, in Verbindung mit vordefinierten Bereichen, die eine Höhenrestriktion haben, zu überprüfen bzw. zu kontrollieren.

Sie wird der Package Boundary als Property **Max Height** und/oder **Min Height** zugewiesen.

Es ist **nicht** erforderlich die Höheninformation für jedes Bauteil zu definieren. In diesem Fall kann eine default Höhe, die im PCB Editor definiert wird, verwendet werden. (*Setup > Design Parameters...> Design > Symbol*)

1. **Setup > Areas > Package Height** vom Haupt Menü
2. Selektieren der Package Boundary (gefüllter Polygon)
Tragen Sie **29** in das Max Height Feld ein.
Min Height ist hier nicht relevant.
Die Höhe des Trafos ist 29mm.
3. **RMB > Done** um das Kommando abzuschließen.
4. **File > Save**
Das System speichert einen **.dra** File, und einen **.psm** File.
Der **.psm** wird im Editor während des Placements benutzt.




Übung: Abschluss Package Symbol

Das gerade erzeugte Package Symbol bedarf noch einer Anpassung, um mit dem im Stromlaufplan definierten Symbol überein zu stimmen.


Im Stromlaufplan hat der Trafo 4 Anschluss Pins, hier im Layout momentan 10 Pins (Universal Footprint für diesen Typ). Ohne spezielle Maßnahmen wird es somit beim Netzlistentransfer zu Problemen kommen.

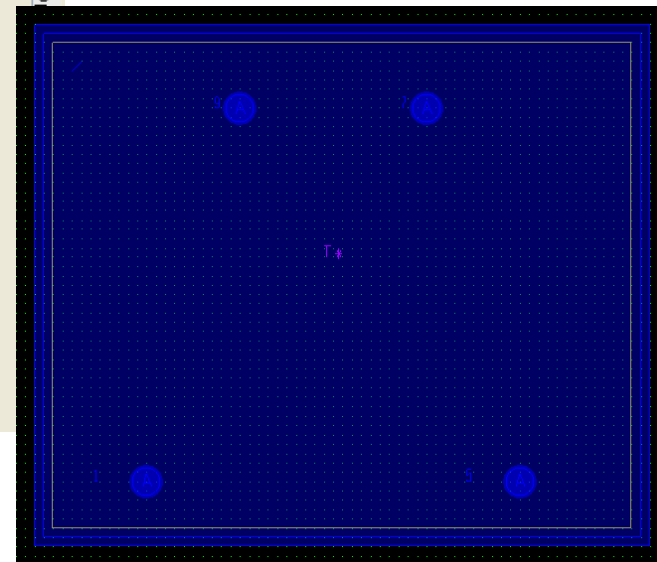
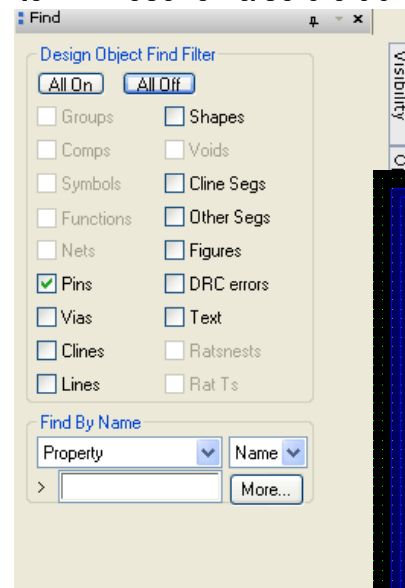
Entweder definieren wir im Stromlauf die fehlenden Pins, oder wir korrigieren den Footprint auf 4 Pins.

Da laut Datenblatt, und auch im Stromlaufplan, nur die Pins 1,5,7,9 für diesen Trafotyp belegt und physikalisch vorhanden sind, wählen wir letztere Variante. Wir löschen also die übrigen Pins wieder, und erhalten somit eine **nicht durchgängige** Nummerierung.

1. **Edit > Delete** oder 
2. Selektieren des Find Filters im Control Panel
3. **All Off** und **nur Pins** selektiert.
4. Löschen der überzähligen Pins (2,3,4,6,8,10)

Selektieren Sie der Reihe nach die genannten Pins

5. Mit **RMB > Done** wird Befehl beendet.
6. Ergebnis siehe rechts 
7. **File > Save** (Overwrite = Ja)
8. Das Package Symbol ist jetzt im Ordner Play abgelegt.



Board Design Files

Dieser Abschnitt soll einen kurzen Einblick in den Ablauf der Erstellung einer Board Outline, eines mechanischen Board Symbols oder eines sogenannten Masterboards geben.

Vor allem das **Board Symbol** oder das **Masterboard** sind sehr sinnvoll, wenn im Layoutprozess häufig wiederkehrende Strukturen (Outline, Technologie oder vorplatzierte Bauteile) verwendet werden.

Ein **Boardsymbol** beinhaltet üblicherweise folgende Elemente:

- Boardoutline, Keepin/Keepout (Route und Package) Via Keepout, Bemaßung
- Befestigungsbohrungen

Ein **Masterboard** kann folgende Elemente beinhalten:

- Board Symbol (.bsm)
- Zeichnungsrahmen (.osm)
- Vorplatzierte Bauteile, z.B. Steckverbinder (.psm)
- Technologievorgaben (Abstandsregeln, Leiterbahnbreiten, etc.)
- Lagenaufbau

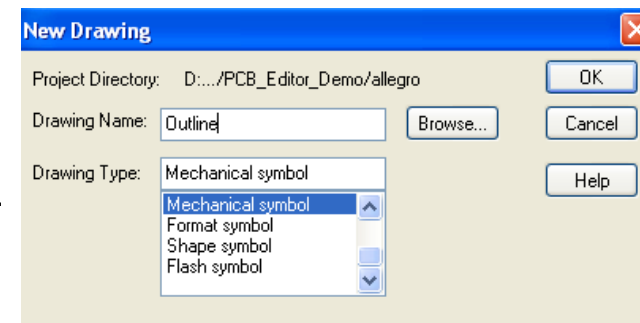
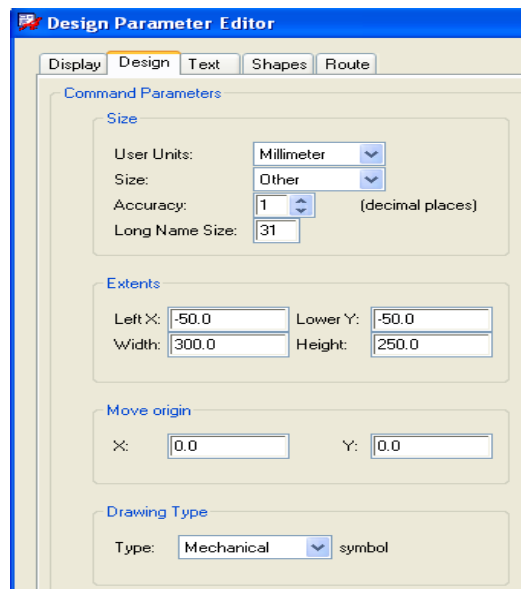
Tipp:

Es sind nicht alle oben aufgeführten Elemente im jeweiligen Typ gleichzeitig zwingend erforderlich.

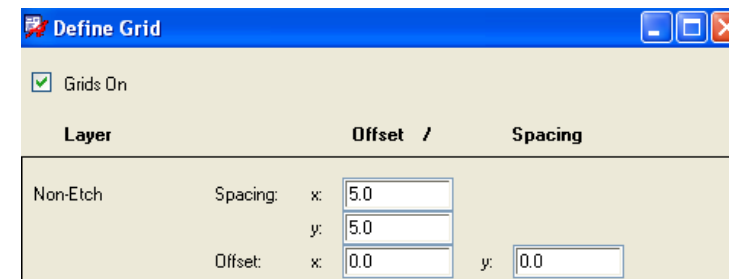
Übung: Board Symbol

Um ein Board Symbol zu generieren wird der Mechanical Symbol Editor benutzt.

1. **File > New > Mechanical Symbol**
2. Tragen Sie **Outline** in das Drawing Name Feld ein.
3. „Ok“
4. **Setup > Design Parameters...> Design** vom Hauptmenü.
5. Tragen Sie die in der Form eingetragenen Werte ein.



6. **Setup > Grids**
7. Im Non Etch Bereich tragen Sie **5.0** für x und y ein.
8. „OK“ um Form zu schließen.



Übung: Boardoutline generieren

Wir nehmen an, dass der Nullpunkt (0,0) der Outline die linke untere Befestigungsbohrung ist.

1. **Add > Line** vom Hauptmenü
2. Setzen der aktiven Class und Subclass auf **Board Geometry / Outline**
3. In der Kommandozeile des Editors tragen Sie folgende Zeilen ein, und schließen jede mit **Enter** ab.

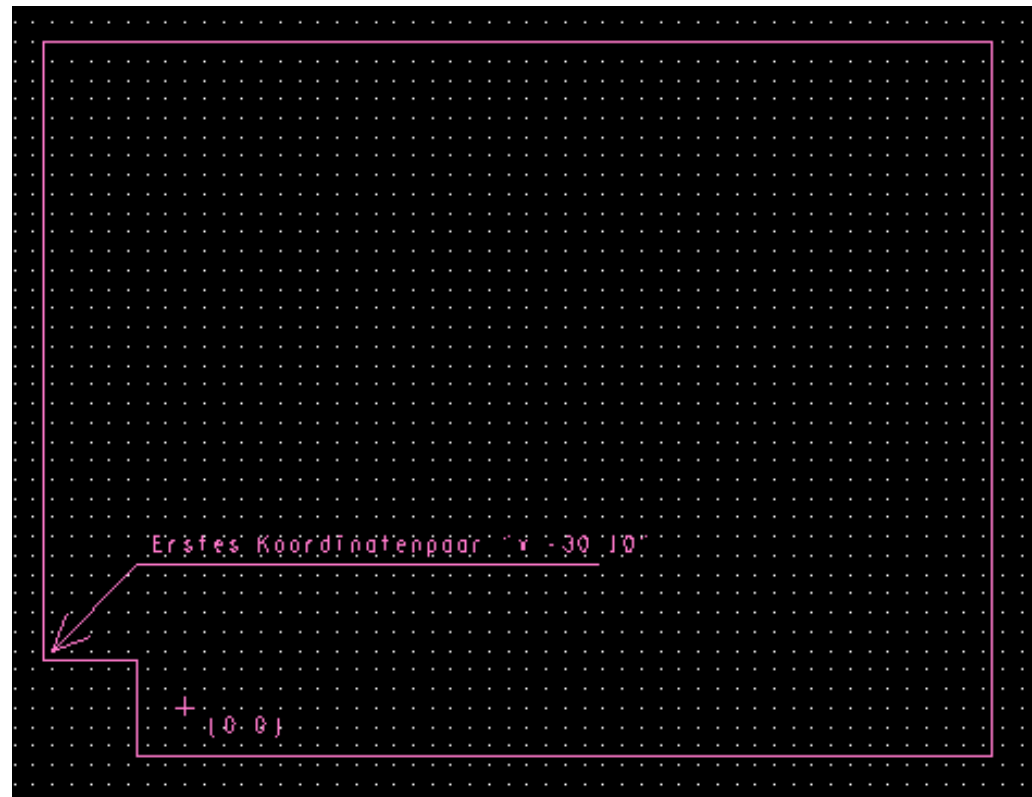
```
x -30 10  
x -10 10  
x -10 -10  
ix 80  
iy 70  
ix -100  
iy -50
```

4. **RMB > Done** Die Outline sollte nebenstehender Darstellung entsprechen.

Tipp:



Absolutkoordinaten: x value value

Relativkoordinaten: ix oder iy value



Übung: Befestigungsbohrungen

Der zweite Schritt ist das Hinzufügen von Befestigungsbohrungen.

1. **Layout > Pin** vom Hauptmenü oder 
2. Klick Browse Button  im Option Fenster im Padstack Feld
3. Selektieren von **Hole120**

Der Editor zeigt eine Message Using „Hole120.pad“, d.h. es war möglich das Pad in der Lib zu lokalisieren.

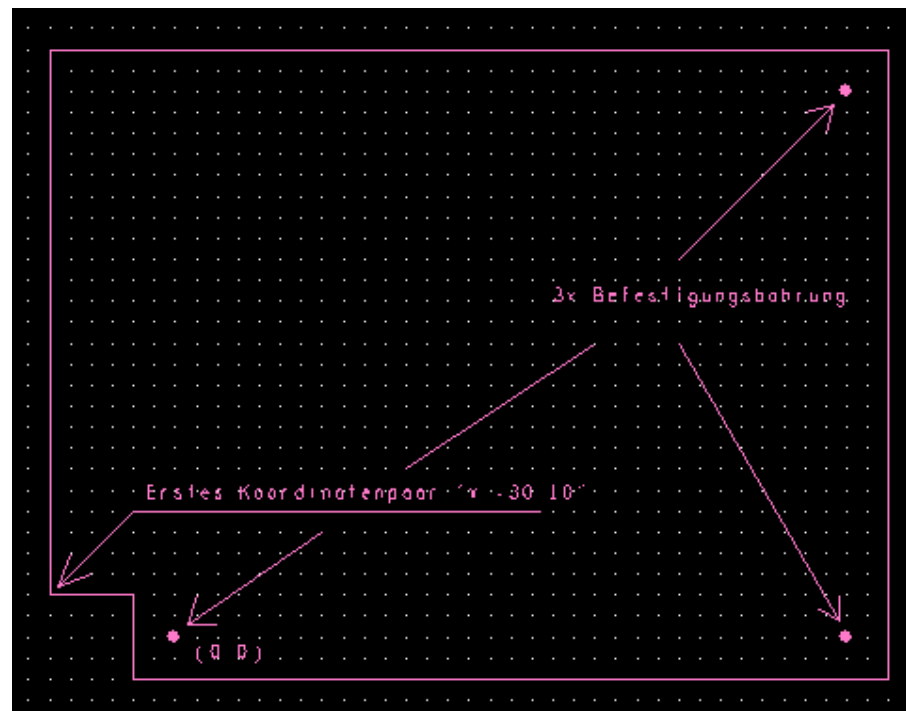
4. In der Kommandozeile tragen Sie nacheinander folgende Daten ein, und bestätigen Sie jeweils mit **Enter**.

x 0 0

x 60 0

x 60 50

5. **RMB > Done**




Übung: Bemaßung (1)

Der dritte Schritt wäre die Bemaßung. Mit der Release 16.5 wurde im OrCAD/Allegro PCB Editor die dynamische Bemaßung eingeführt, d.h. eine Veränderung der Kontur führt automatisch zur Korrektur der bestehenden Bemaßung.

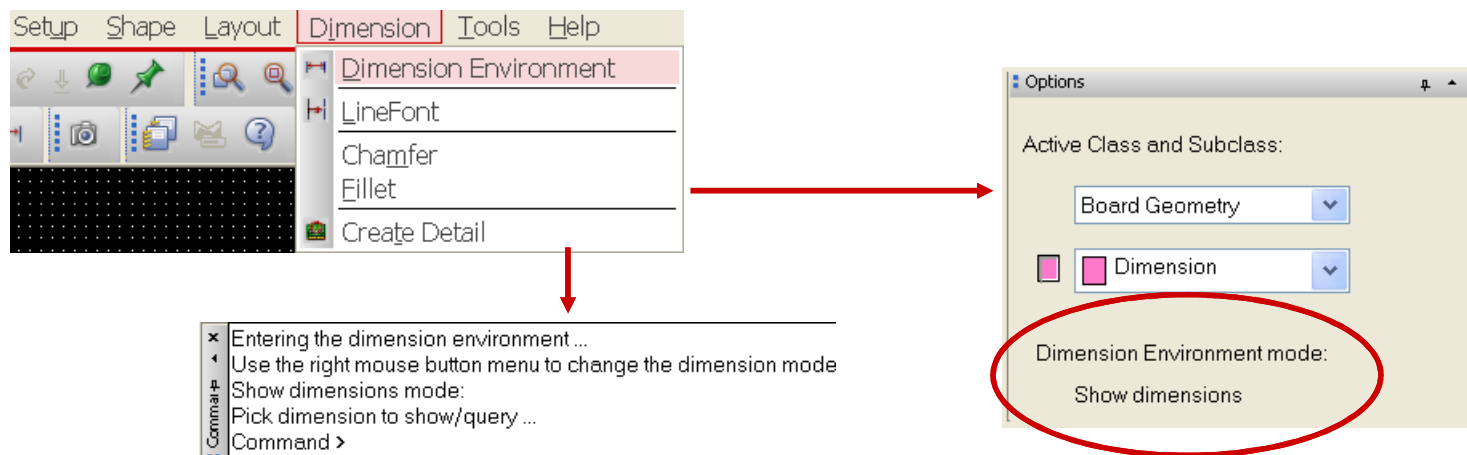
Die Bemaßung kann sowohl im PCB als auch bereits im Symbol selbst durchgeführt werden. In beiden Fällen müssen Sie zuvor in das „**Dimension Environment**“ aktivieren.

Im PCB Editor geschieht dies durch „**Manufacturing > Dimension Environment**“ im Symbol Editor durch „**Dimension > Dimension Environment**“ oder alternativ über das Icon 

Für Designs aus 16.3 oder älter wird die Bemaßung nicht dynamisch. Existierende Bemaßung muss gelöscht und neu generiert werden, um dynamisches Verhalten zu erhalten. Wird ein Design von 16.5 auf 16.3 zurück gespeichert, dann entfällt das dynamische Verhalten, die Vermassung wird automatisch statisch.

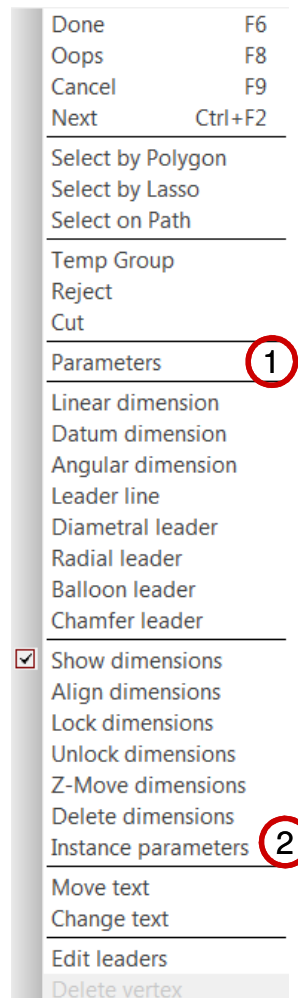
Umschalten in das Bemaßungs-Environment erfolgt über das Pull-Down Menü durch „**Dimension > Dimension Environment**“ oder das neue Icon 

Das Option Fenster zeigt den aktuellen Modus an, und auch im Kommando Fenster erscheint eine Info.



Übung: Bemaßung (2)

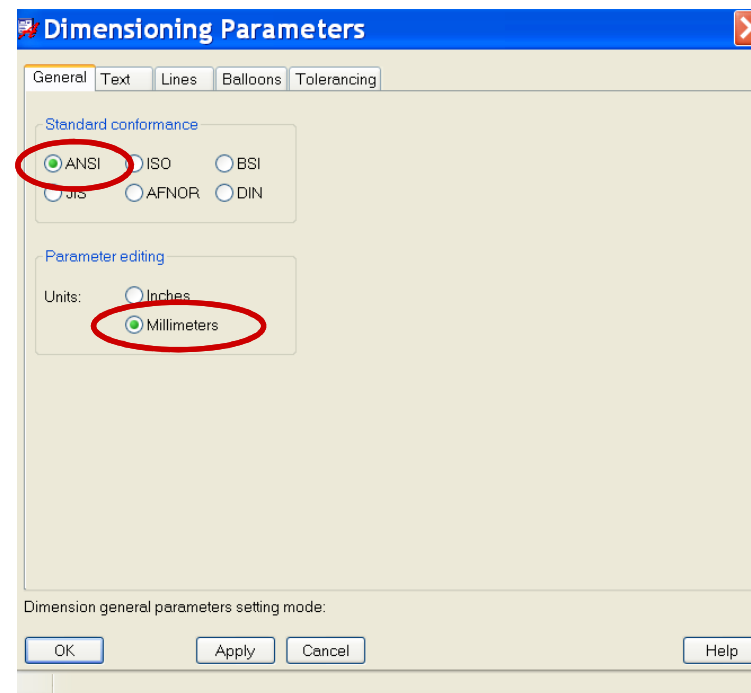
Die für die Bemaßung erforderlichen Kommandos sind über ein PopUp Menü in Verbindung mit der rechten Maustaste „RMB“ zu erreichen.



Das Environment unterstützt jetzt sowohl globale Parameter **1** als auch die Möglichkeit Parameter im Instance Level **2** zu ändern.

Das Vorgehen lineare und Datum Vermaßung hinzuzufügen hat sich seit 16.5 nicht verändert, nur der Kommandoaufruf.

Nachfolgend wollen wir die Bemaßung am Beispiel der Outline (mech. Symbol) erläutern.



1. Bevor Sie beginnen rufen Sie das Menü für die globalen Parameter auf, um Ihre Einstellungen zu definieren.

Unter General bitte auf „ANSI“ und „MM“ einstellen.

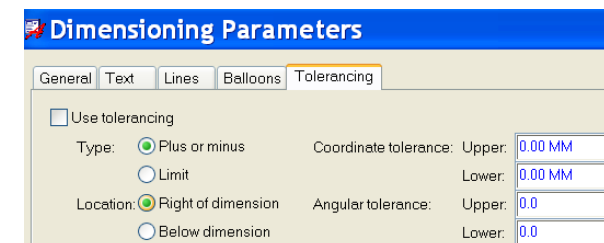
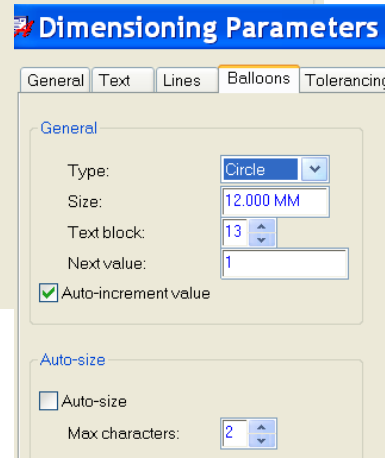
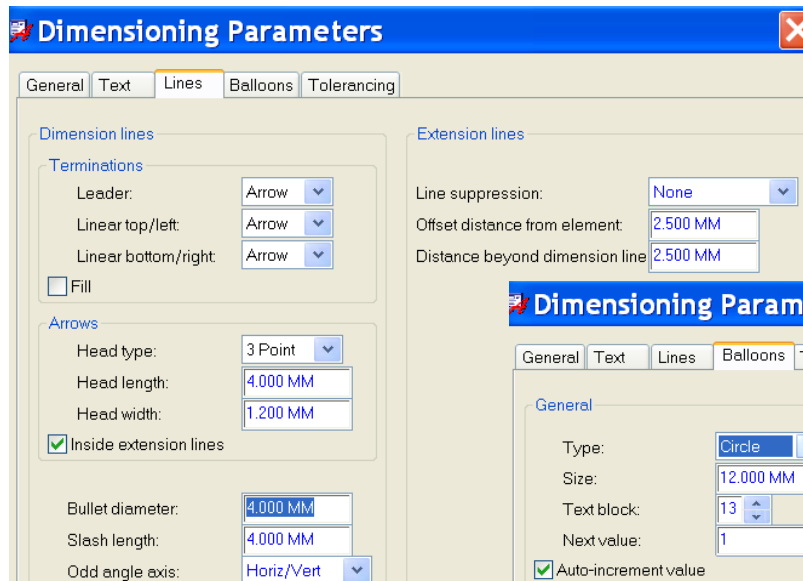
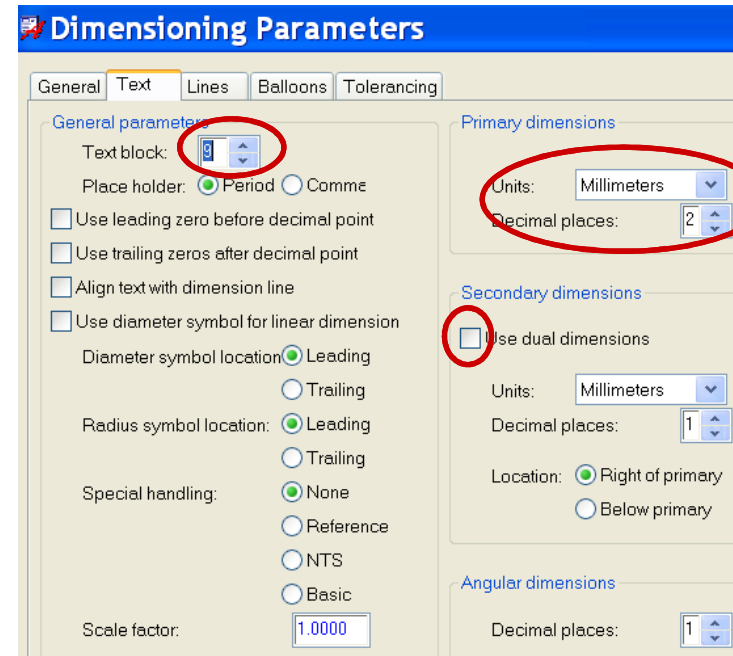
2. Anschliessend sind insbesondere der Reiter Text (Units) und der Reiter Lines (grafische Darstellung der Bemaßung) zu berücksichtigen.

Tipp:

Nähere Infos zu den einzelnen Optionen finden Sie in der Online Hilfe direkt über Help aus diesen Menüs.

Übung: Bemaßung (3)

3. Textblock unter Text auf z.B. „9“ setzen
4. Primary Dimensions auf „mm“ und Secondary Dimension“ disabled.
5. Unter Lines erfolgt die Einstellung der Linien und Pfeile entsprechend dem Screenshot
6. Balloons erlaubt die Definition von „Sprechblasen“
7. Tolerancing steuert die Anzeige von „Toleranzen“

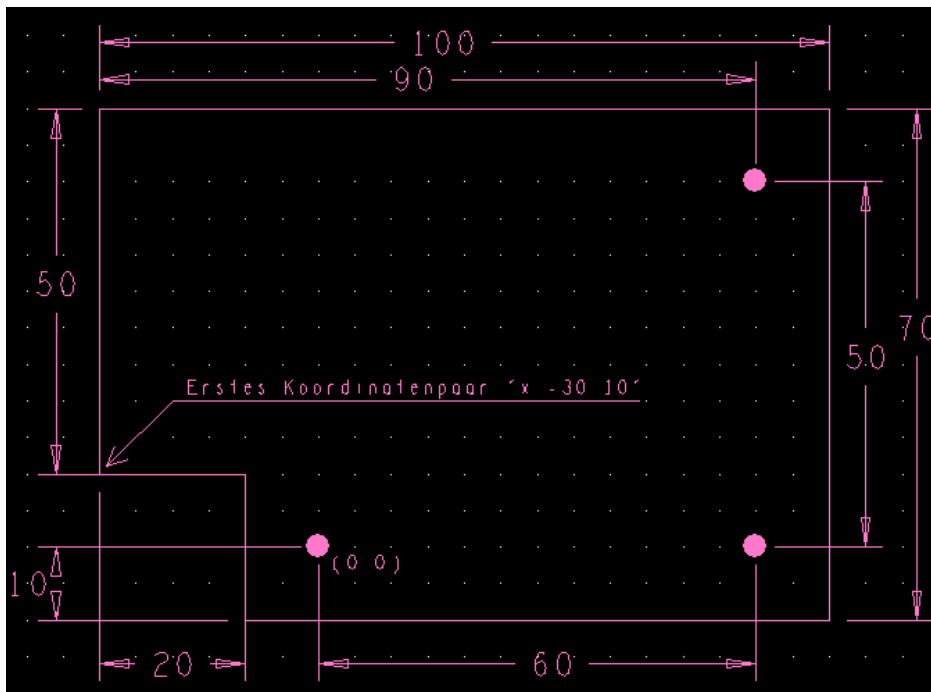


Übung: Bemaßung (4)

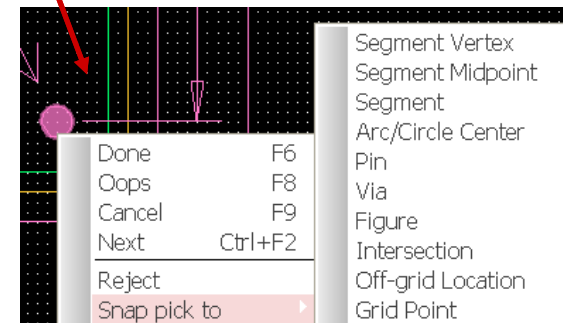
Nach erfolgter Parametereinstellung starten Sie mit:

8. RMB > Linear Dimension

9. Das System fordert Sie auf einen Punkt oder ein Element zur Bemaßung anzugeben.
10. Selektieren Sie die obere LP-Kante (100) und Platzieren Sie den Text.
11. Selektieren Sie die rechte LP-Kante (70) und Platzieren Sie den Text.
12. Vervollständigen Sie entsprechend der Vorlage.





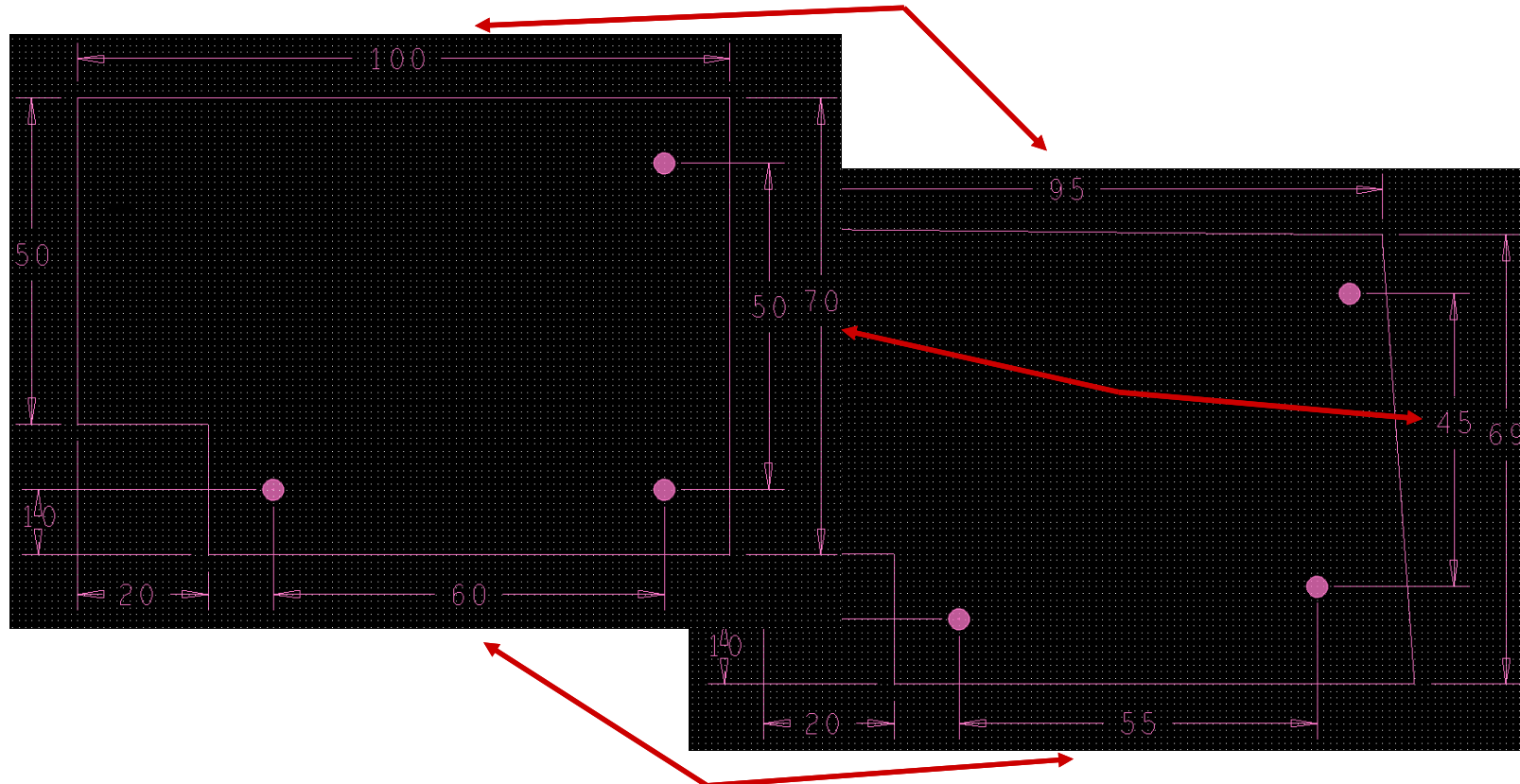
13. Für eine Punkt zu Punkt Vermessung (untere Bohrungen -60) müssen diese Koordinaten exakt selektiert werden (Filter beachten), die Segmenterfassung erfolgt automatisch. Sie können hierbei auch die Snap-Funktion einsetzen.



14. Bei nicht reiner orthogonaler Vermessung muss mit einem zusätzlichen Klick dem Tool die gewünschte horizontale oder vertikale Richtung zur Vermessung mitgeteilt werden. (linke untere Ecke mit den Maßen 10 und 20)


Übung: Bemaßung (5)

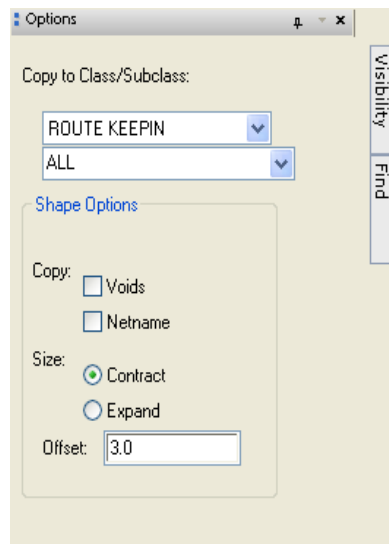
- Um das dynamische Verhalten der gesamten Vermassung zu testen, ändern Sie z.B. die Position der unteren rechten Befestigungsbohrung oder die obere rechte Außenkontur.
- Wählen Sie „**Edit > Move**“ oder das Icon  und bewegen Sie genannte Bohrung.
- Wählen Sie „Edit > Vertex“ oder das Icon  und verschieben Sie genannte obere Ecke.
- In beiden Fällen werden die jeweiligen Bemaßungen sofort aktualisiert.



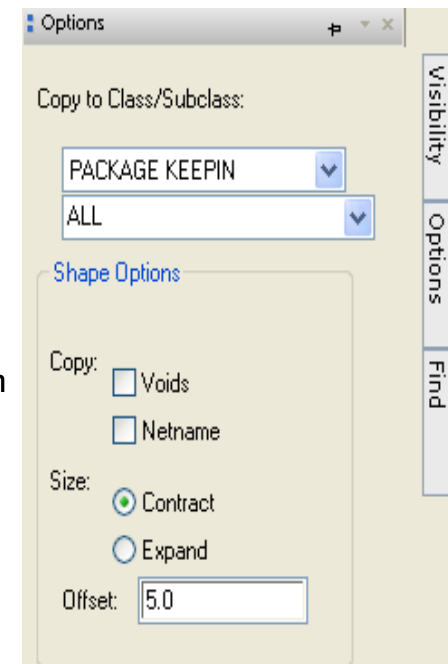
Übung: Placement/Routing Keepins

Der vorläufig letzte Schritt ist das Hinzufügen von Keepouts.

1. **Zoom Fit**  um das ganze Board zu sehen.
2. Wählen Sie **Edit > Z-Copy Shape** vom Hauptmenü
3. Im Option Fenster setzen Sie die Active Class and Subclass auf **Package Keepin and All**
4. Tragen Sie für den Offset **5.0** ein und stellen Sie Size auf **Contract**
5. Selektieren Sie die Board Outline, es wird eine neue Linie mit exakt 5.0mm Abstand zu Outline als *Package Keepin* erstellt.



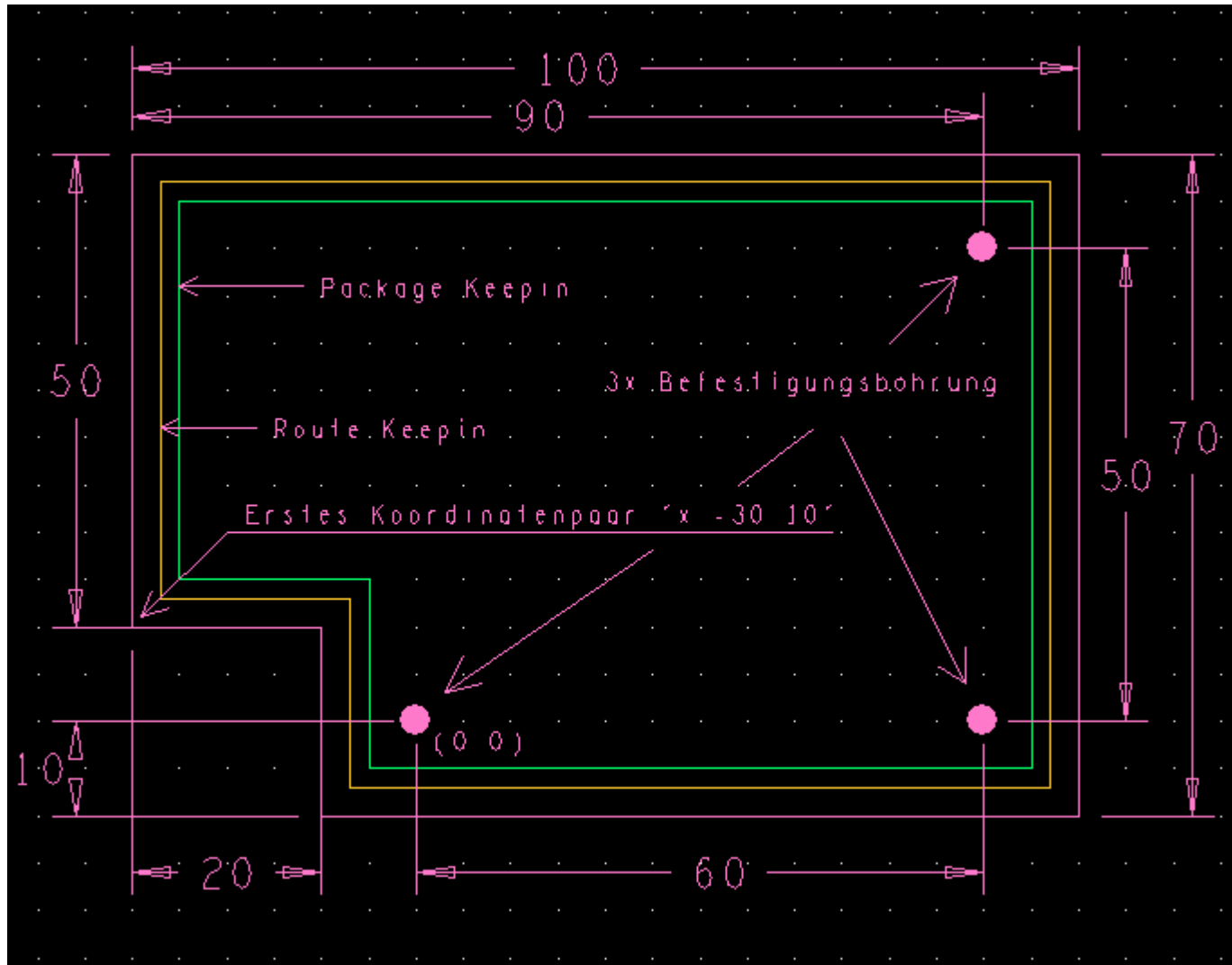
6. Setzen Sie Active Class and Subclass auf **Route Keepin and All**
7. Tragen Sie für den Offset **3.0** ein und stellen Sie Size auf **Contract**
8. Selektieren Sie die Board Outline, es wird eine neue Linie mit exakt 3.0mm Abstand zur Outline als *Route Keepin* erstellt.
9. Das Ergebnis des kompletten mechanischen Symbols sehen Sie auf der nächsten Seite
10. Speichern Sie mit **File > Save as** in der DIR „**play**“ und erzeugen Sie gleichzeitig das .bsm File



Tipp:

Mit **Expand** können Sie ein vergrößertes Abbild der Outline oder einer anderen Geometrie erzielen.

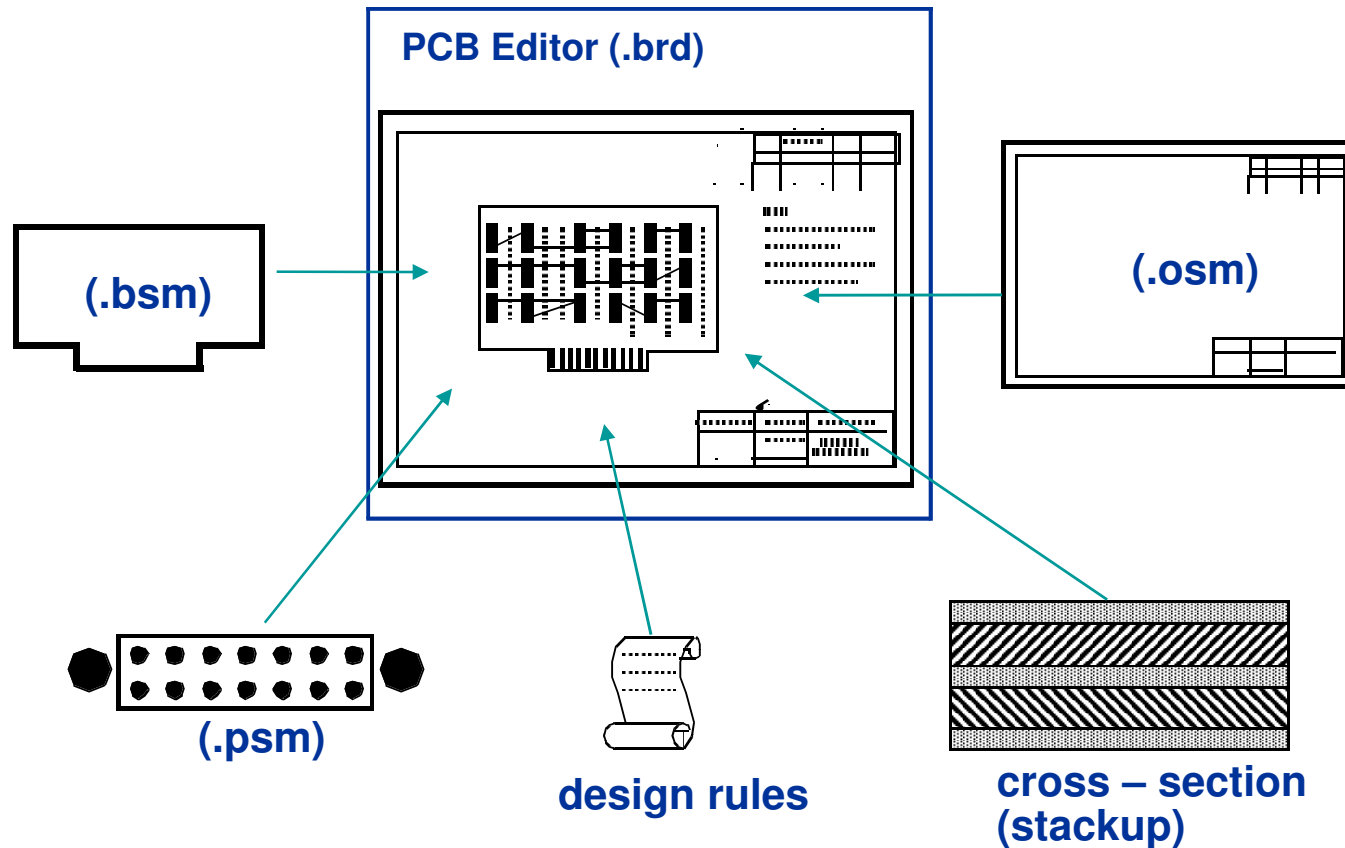
Komplettes Boardsymbol



Masterboard

Ein Masterboard ist die gemeinsame Nutzung aller Elemente, die mit den verschiedenen Symbol Editoren des OrCAD PCB Designers erstellt wurden, Es wird verwendet, wenn ein und das gleiche Board mehrmals als Ausgangsbasis benutzt wird. Zusätzlich können hier Informationen, wie der Lagenaufbau, Designregeln und vorplatzierte Bauteile implementiert werden.

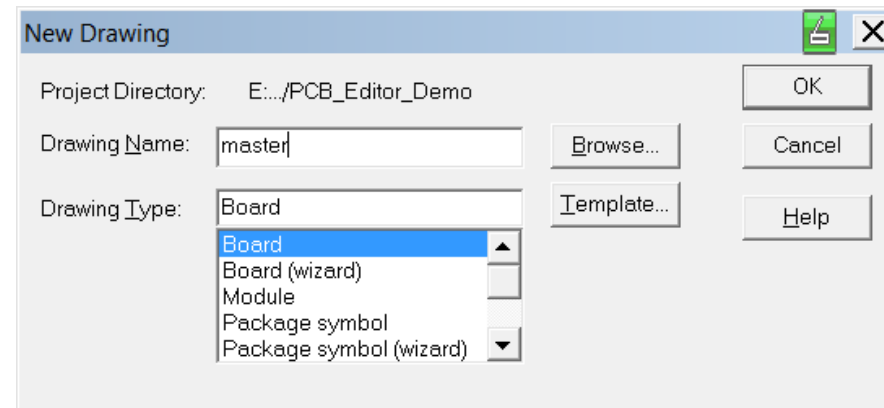
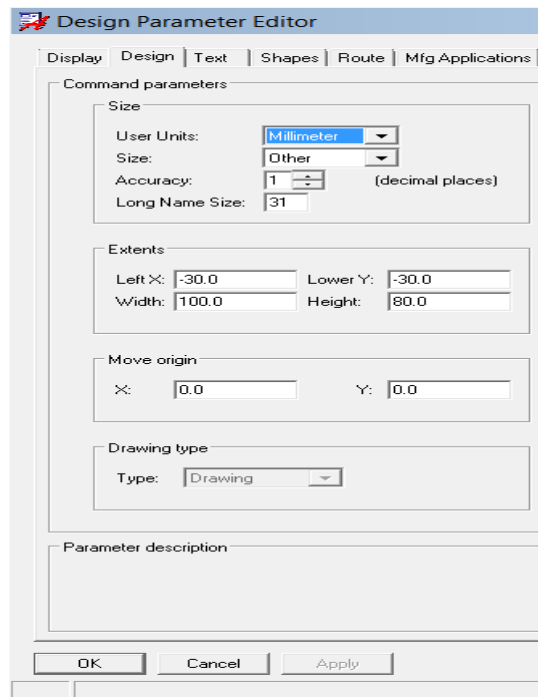
Diese Methode spart erheblich Zeit, und erhöht die Qualität, da eine Prüfung bestimmter Parameter nur einmal vorgenommen werden muss und anschließend immer wieder verwendet werden kann.



Übung: Masterboard Setup

Auf den folgenden Seiten werden die wichtigsten Schritte aufgeführt, um ein Masterboard zu erstellen. Im Übrigen gelten diese Schritte ebenso für die Erstellung eines x-beliebigen Boards.

1. **File > New** vom Haupt Menü
2. Tragen Sie **master** in das Drawing Name Feld ein.
3. Wählen Sie den Drawing Type „**Board**“
4. „**OK**“



5. **Setup > Design Parameters...> Design**
6. Ändern Sie die Werte entsprechend der Drawing Parameter Dialog Box (links)
7. „**OK**“

Tip:

Die *Drawing Extents* sollten so groß gewählt sein, dass, wenn erforderlich, auch Zusatzelemente wie ein Zeichnungsrahmen Platz haben. Ansonsten erhalten Sie eine Fehlermeldung, wenn die Arbeitsfläche nicht groß genug für derartige Zusatzelemente ist.

Übung: Masterboard Lagenaufbau

Dem Lagenaufbau kommt eine große Bedeutung bei Verwendung der Multilayertechnik zu. Wie bereits in der Einführung erwähnt ermöglicht der PCB Editor die Verwendung von 256 sogenannten Routing Lagen.

Die Einstellungen sind über **Setup > Subclasses > Etch** oder  zu erreichen.

Dieses Menü erlaubt Ihnen weitere elektrische Lagen (Routinglagen) hinzuzufügen oder auch wieder zu entfernen. **RMB> Add Layer/ Remove Layer**.

Der **Subclass Name** von *TOP* und *BOTTOM* ist Default und nicht veränderbar, alle zusätzlichen Lagen können individuell einen beliebigen Namen (**aber unique**) erhalten. Die hier gewählten Namen erscheinen auch im Option Visibility Fenster.

Über den **Type** kann zwischen *Conductor* (Routing Lage), *DELECTRIC* und *Plane* (Power Lage) gewählt werden.

Das **Negative Artwork** bestimmt die Art der Ausgabe. Normale Signallagen (Conductor) sind üblicherweise positiv, Planelagen können positiv und negativ definiert werden. Näheres hierzu später unter Shapes.

Layout Cross Section

	Subclass Name	Type	Material	Thickness (MM)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Negative Artwork	Shield	Width (MM)
1		SURFACE	AIR			1	0			
2	TOP	CONDUCTOR	COPPER	0.03048	595900	1	0	<input type="checkbox"/>		0.1
3		DIELECTRIC	FR-4	0.2032	0	4.5	0.035			
4	GROUND	PLANE	COPPER	0.03048	595900	1	0	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
5		DIELECTRIC	FR-4	0.2032	0	4.5	0.035			
6	POWER	PLANE	COPPER	0.03048	595900	1	0	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	
7		DIELECTRIC	FR-4	0.2032	0	4.5	0.035			
8	BOTTOM	CONDUCTOR	COPPER	0.03048	595900	1	0	<input type="checkbox"/>		0.1
9		SURFACE	AIR			1	0			

Total Thickness: 0.73152 MM

Layer Type: ALL | Material: ALL | Field to Set: Thickness | Value to Set: | Update Fields

Show Single Impedance
 Show Diff Impedance

OK Apply Cancel Refresh Materials -> Report Help

Tipp:

Ein Löschen von zusätzlichen Lagen ist nur dann möglich, wenn diese Lagen keine Daten mehr enthalten.

Übung: Masterboard Boardsymbol

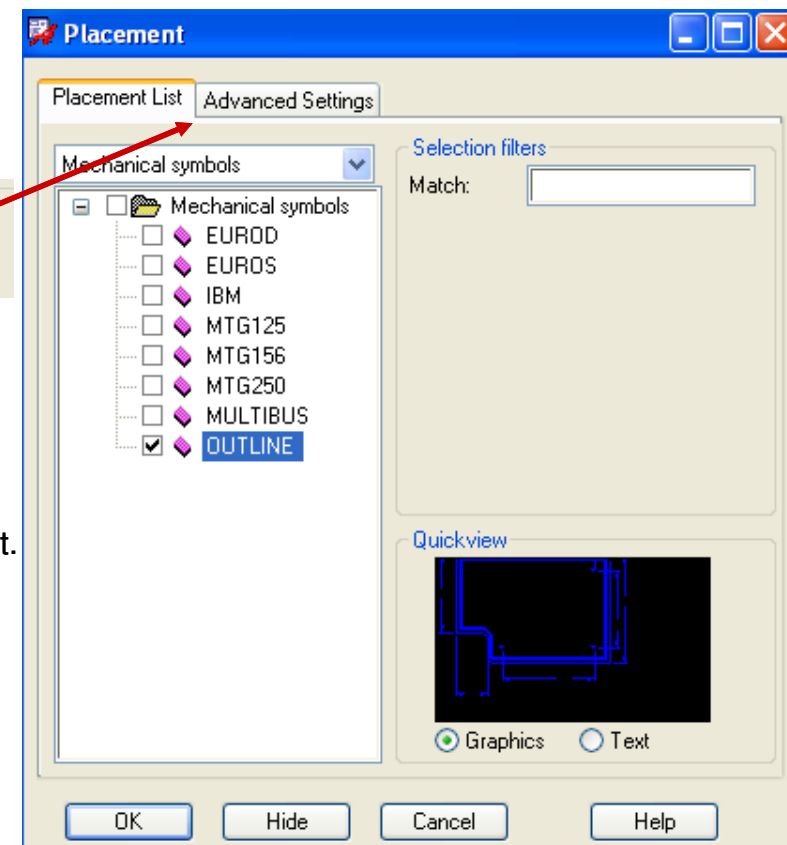
Wie bereits mehrfach erwähnt, ist es sinnvoll bei wiederkehrenden Designs ein vordefiniertes Boardsymbol (Mechanical Symbol) in ein Masterboard aufzunehmen, um den Designprozess effektiver und sicherer zu gestalten.

In das noch offene Masterboard „**master.brd**“ laden wir das Boardsymbol wie folgt:

1. **Place > Manually** vom Haupt Menü
es erscheint die Placement Box (rechts)
2. Selektieren Sie unter **Advanced Setting Tab**
beide Optionen **Database** und **Library**
3. In der Placement List expandieren
Sie Mechanical Symbols und
selektieren Sie **Outline** (selbst definiertes Symbol).
4. In der Kommandozeile tragen Sie **x 0 0** ein und **Enter**.
5. **RMB > Done**. Das mechanische Symbol ist platziert.
6. **File > Save As** - es wird ein **master.brd** File gespeichert.
7. PCB Editor **nicht** schließen

Tipp:

Sie können an dieser Stelle ebenso Bauteile vorplatzieren (Package Symbol), Format Symbole hinzufügen, als auch weitere Voreinstellungen bezüglich Grid, Farben, und auch Designregeln vornehmen. Auf die Designregeln kommen wir aber später separat zurück.



Logic Import

Übung: Netzlistenimport

Dieser Bereich zeigt Ihnen, wie Sie die Schematic Daten vom Design Entry CIS Tool (Capture) in Ihren PCB Editor bringen.

Alternativ kann auch ein Transfer von Design Entry HDL (Concept), oder auch von einem Third-party Front-End Tool (z.B. ViewLogic) erfolgen. Wir behandeln hier aber nur den Import aus Design Entry CIS.

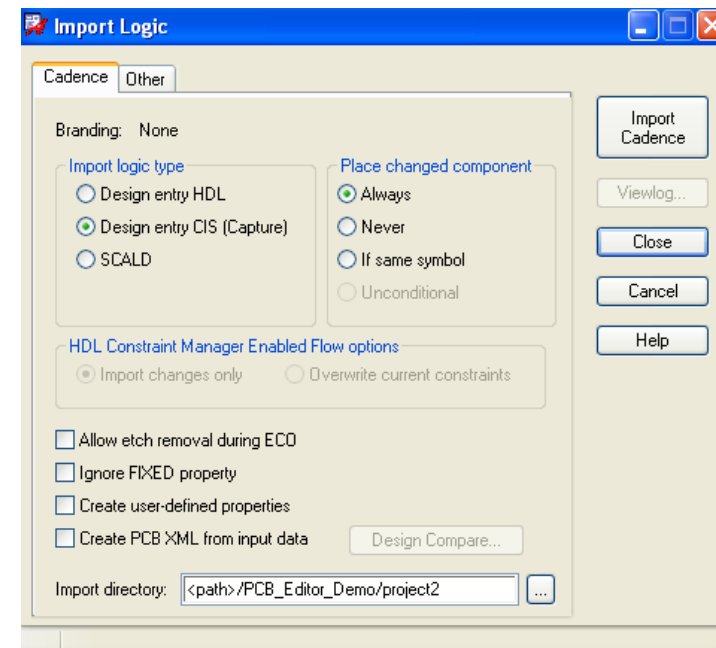
Vorab ein paar wichtige Informationen zur nachfolgenden Übung:

- Der Stromlaufplan ist bereits vollständig erstellt.
- Die erforderlichen Transferdaten (Netzliste) sowie der Stromlaufplan selbst, stehen als Muster im Ordner **Project2** zur Verfügung. Übersicht zu den Transferdaten nächste und übernächste Seite.

1. Wir laden mit **File > Import > Logic** die Netzlistendaten in das **master.brd** File.
2. Selektion des Import Logic Type **Design Entry CIS**
3. Setzen der richtigen Import Directory
<Path>\PCB_Editor_Demo\project2
4. **Import Cadence**
(evtl. fehlerhafter Netzlistenimport wird gemeldet)
5. **File > Save As... (netlist.brd) !! Nicht schließen !!**

Tipp:

Im *Solution Ordner* sind das **master.brd**, das **netlist.brd** und weitere Zwischenstände nachfolgender Übungen abgelegt.



Transfer Files (pst*.dat)

pstxprt.dat

```
FILE_TYPE=EXPANDEDPR
{ Packager-XL run o
03-May-2002 AT 12:5
DIRECTIVES
  ROOT_DRAWING='MY H
  SOURCE_TOOL='PACKA
  ABBREV = 'MYHEX' ;
END_DIRECTIVES;
PART_NAME
  U10 '74LS00' ;;
  ROOM='HEX' ;
SECTION_NUMBER 1
  '(STOP LS00. 23P)
  C_PATH='/LOGIC.1.1
  PATH_NAME='(STOP L
  PATH='23P',
  ABBREV='LS00',
  BODY_NAME='LS00',
  PART_NAME='74LS00'
```

pstxnet.dat

```
{ Packager-XL run o
09-May-2002 AT 12:1
NET_NAME
  'INT5'
  'INT5':
  C_SIGNAL='/:LOGIC.
ROUTE_PRIORITY='2',
MIN_LINE_WIDTH='1
NODE_NAME      U17 6
  '(STOP F00.18P)':
  '-Y'<0>;;
NODE_NAME      U19 1
  '(STOP F74.20P)':
  'D'<0>;;
NET_NAME
  'MIN0'
  'MIN'<0>;
  C_SIGNAL='/:LOGIC.
```

pstchip.dat

```
FILE_TYPE=LIBRARY_PARTS;
primitive '74LS00';
  pin
    'B'<0>;
    INPUT_LOAD='(-0.4,0.02)';
    PIN_NUMBER='(13,10,5,2)';
    PIN_GROUP='1';
    'A'<0>;
    INPUT_LOAD='(-0.4,0.02)';
    PIN_NUMBER='(12,9,4,1)';
    PIN_GROUP='1';
    '-Y'<0>;
    OUTPUT_LOAD='(8.0,-0.4)';
    PIN_NUMBER='(11,8,6,3)';
  end_pin;
  body
PART_NAME='74LS00';
JEDEC_TYPE='SOIC14';
```

pstxprt.dat pstxnet.dat pstchip.dat

pstxprt.dat:

der Partfile.

Er listet jedes Package auf, welches vom Packager (Netzlistenprogramm) aus der Schematic heraus erstellt wurde, zusammen mit dem REFDES und dem DeviceType.

Für Multipackages (mehrere Gatter in einem Gehäuse), definiert er, welches Gatter welcher Sektion (A,B,C,D) zugewiesen wurde.

Dieser File kann auch Properties wie ROOM=,IF' oder Value=,10K' enthalten.

pstxnet.dat:

der Netzlisten File.

Dieser File enthält die Netzlisteninformationen, unter Verwendung der keywords (net_name und node_name), um die eindeutige Zuordnung von REFDES und Pin Nummern zu gewährleisten.

Dieser File kann auch Nets Properties wie ROUTE_PRIORITY, MIN_LINE_WIDTH usw. enthalten.

pstchip.dat:

der Device Definition File.


Er enthält z.B. elektrische Beschreibungen, wie Pin direction (Input, Output ...), und Pin Mapping.

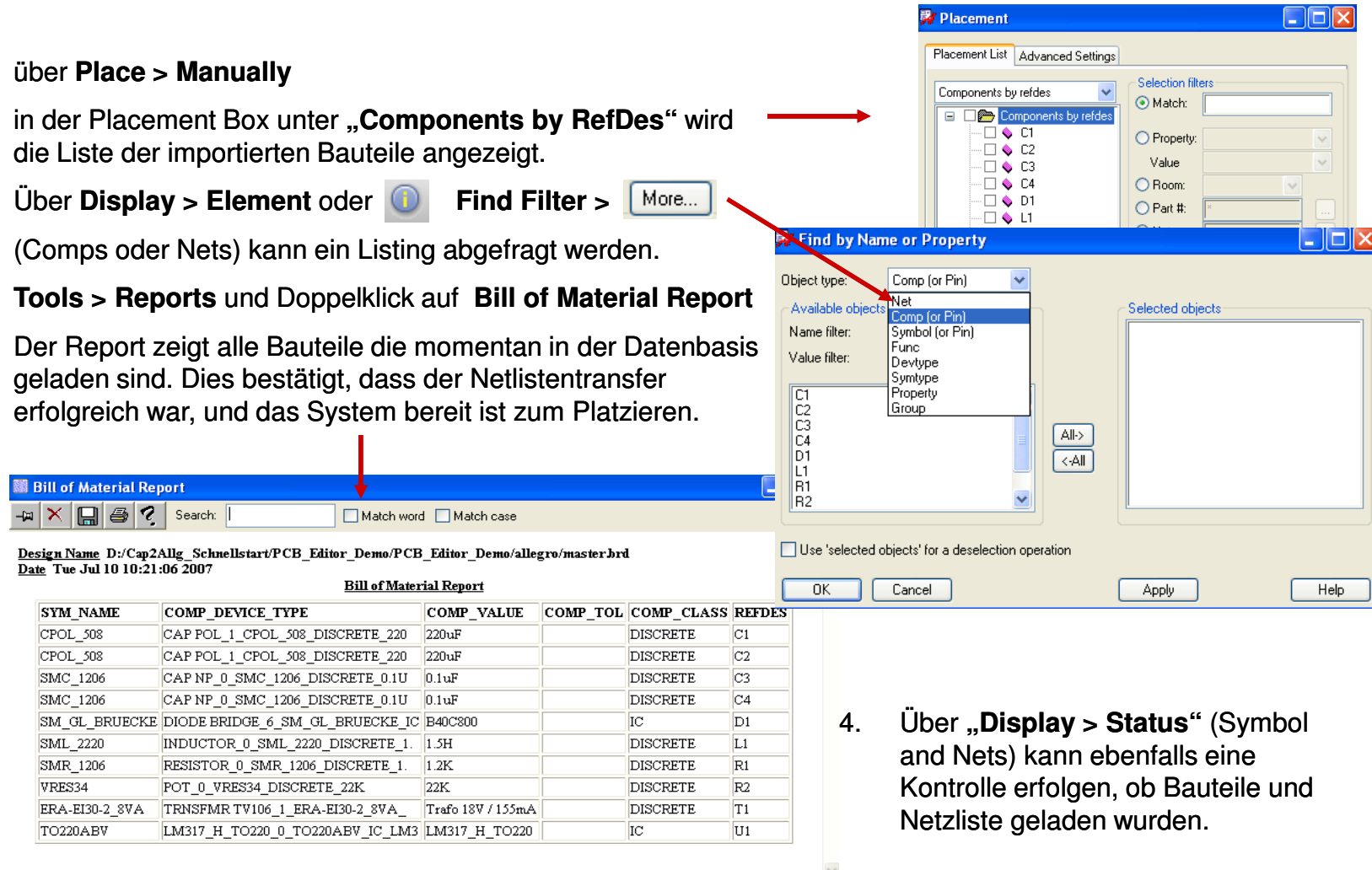
Weiterhin definiert er die Anzahl von Gattern in einem Gehäuse, einschließlich der Pin-Swap-Infos.

Ebenso enthält er die wichtige Info, welcher Footprint dem betreffenden Device zugeordnet wurde. (z.B. JEDEC_TYPE=,DIP14_3')

Übung: Netzlistenkontrolle

Hier einige weitere Kontrollmöglichkeiten für einen erfolgreichen Netzlistenimport:

1. über **Place > Manually**
in der Placement Box unter „**Components by RefDes**“ wird die Liste der importierten Bauteile angezeigt.
2. Über **Display > Element** oder  **Find Filter > More...** (Comps oder Nets) kann ein Listing abgefragt werden.
3. **Tools > Reports** und Doppelklick auf **Bill of Material Report**
Der Report zeigt alle Bauteile die momentan in der Datenbasis geladen sind. Dies bestätigt, dass der Netzlistentransfer erfolgreich war, und das System bereit ist zum Platzieren.



Placement

Placement List | Advanced Settings

Components by refdes

Selection filters

Match: Match:

Property: Property:

Value: Value:

Room: Room:

Part #: Part #:

Find by Name or Property

Object type:

Available objects:

Name filter:

Value filter:

C1
C2
C3
C4
D1
L1
R1
R2

All-> <-All

Use 'selected objects' for a deselection operation

OK Cancel Apply Help

Bill of Material Report

Design Name D:/Cap2Allg_Schnellstart/PCB_Editor_Demo/PCB_Editor_Demo/allegro/master.brd
Date Tue Jul 10 10:21:06 2007

Bill of Material Report

SYM_NAME	COMP_DEVICE_TYPE	COMP_VALUE	COMP_TOL	COMP_CLASS	REFDES
CPOL_508	CAP POL_1_CPOL_508_DISCRETE_220	220uF		DISCRETE	C1
CPOL_508	CAP POL_1_CPOL_508_DISCRETE_220	220uF		DISCRETE	C2
SMC_1206	CAP NP_0_SMC_1206_DISCRETE_0.1U	0.1uF		DISCRETE	C3
SMC_1206	CAP NP_0_SMC_1206_DISCRETE_0.1U	0.1uF		DISCRETE	C4
SM_GL_BRUECKE	DIODE BRIDGE_6_SM_GL_BRUECKE_IC	B40C800		IC	D1
SML_2220	INDUCTOR_0_SML_2220_DISCRETE_1.	1.5H		DISCRETE	L1
SMR_1206	RESISTOR_0_SMR_1206_DISCRETE_1.	1.2K		DISCRETE	R1
VRES34	POT_0_VRES34_DISCRETE_22K	22K		DISCRETE	R2
ERA-EI30-2_8VA	TRNSFMTR TV106_1_ERA-EI30-2_8VA_	Trafo 18V / 155mA		DISCRETE	T1
TO220ABV	LM317_H_TO220_0_TO220ABV_IC_LM3	LM317_H_TO220		IC	U1

4. Über „**Display > Status**“ (Symbol and Nets) kann ebenfalls eine Kontrolle erfolgen, ob Bauteile und Netzliste geladen wurden.

Design Constraints

Design Regeln

Vor dem Platzieren sollten im Design, respektive auf dem Board wenigstens einige grundsätzliche Designregeln definiert werden, um z.B. das Platzieren selbst kontrollieren zu können.

Zusätzlich werden wir in unserem Beispiel gleich weitere Basis Designregeln, die für das Routen erforderlich sind mit definieren.

Vorab aber ein paar Grundinfos zu den Design Rules im OrCAD PCB Designer. Seit der Release 16.2 werden jetzt alle Designregeln über den Constraints Manager (CM) gehandelt.

Im PCB Editor haben wir **4 Typen** von Design Rules

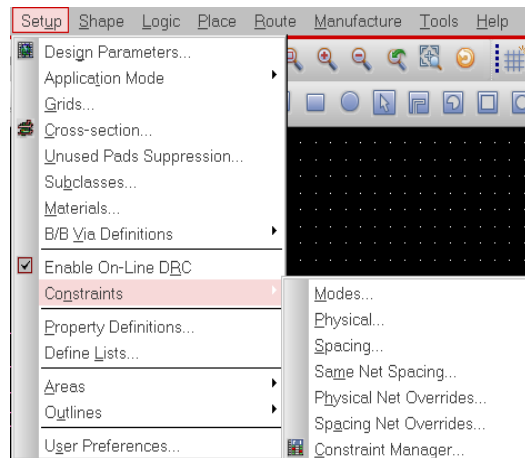
1. **Spacing Rules:** Abstand zwischen Linien, Pads, Vias, und Kupferflächen (Shapes)
2. **Physical Rules:** Linienbreiten, Vias und Lagen Restriktionen
3. **Same Net Rules:** Abstand zwischen Elementen eines gleichen Netzes
4. **Design Constraints:** Package check (Platzierung), Soldermask check (Lötstopmaske) und Negative Plane Islands check (Floating Potential) u.v.m.

Diese Regeln gliedern sich in zwei Levels

1. **Standard Rules:** Beschreibt die Mehrheit der Netze in einem Design, d.h. alle Netze, die keine spezielle Regelzuweisung haben folgen diesen Regeln (default).
2. **Extended Rules:** Unterliegen speziellen Zuweisungen, und basieren auf einer Klasse, oder Klasse zu Klasse Beziehung. Darüber hinaus sind einige weitere Einstellungen möglich.

Standard (default) Design Rules

Alle Regeln im PCB Editor werden über den Constraint Manager erstellt und verwaltet. Der Aufruf des CM erfolgt über: **Setup > Constraints > Constraint Manager...** oder



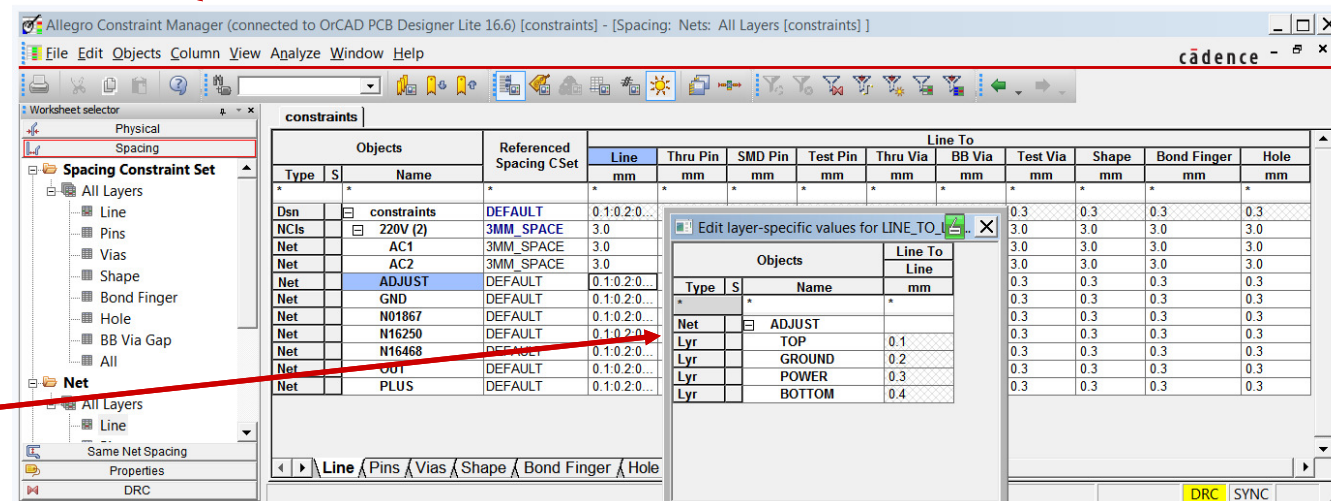
Die Standardregeln sind generell unter dem C-Set „**default**“ einzutragen, wobei die einzelnen Elemente oder die Elemente zueinander unterschiedliche Werte haben können.

Alle Netze, die keine separate Zuweisung über ein weiteres C-Set oder eine Direkteingabe haben, werden nach den Regeln des **Default C-Set** kontrolliert, bzw. geprüft.

Tipp:

Steht in einer Element zu Element Definition nur ein einziger Wert, so gilt dieser für alle Lagen gemeinsam

Über **RMB > Change** innerhalb des C-Sets kann dieser Zelle für jede Lage ein anderer Wert zugewiesen werden.



Handhabung Extended Design Rules

Wenn Ihr Design komplexer wird, werden Sie **bestimmten Netzen** separate Regeln zuweisen müssen, die von den default Werten abweichen. Auch werden verschiedene Netze sich zueinander (Spacing) unterschiedlich verhalten müssen.

Dies erfordert die Anwendung der Extended Design Rules unter Berücksichtigung der nachfolgenden **3 Schritte**, sowohl für die Spacing als auch die Physical Rules.

- Schritt 1:** Generieren einer Netzklasse
(Welche Netze sind speziell?)
- Schritt 2:** Generieren eines neuen Constraint Sets (CSet)
(Was sind die speziellen Regeln?)
- Schritt 3:** Zuweisung der einzelnen Constraint Sets zu
den Netzklassen.

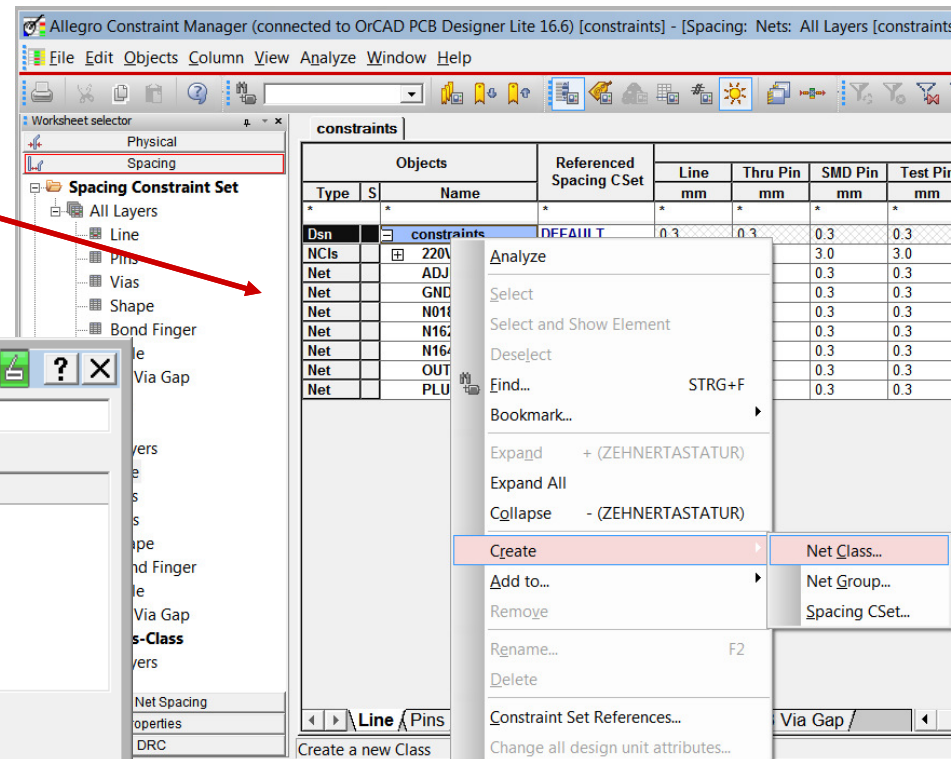
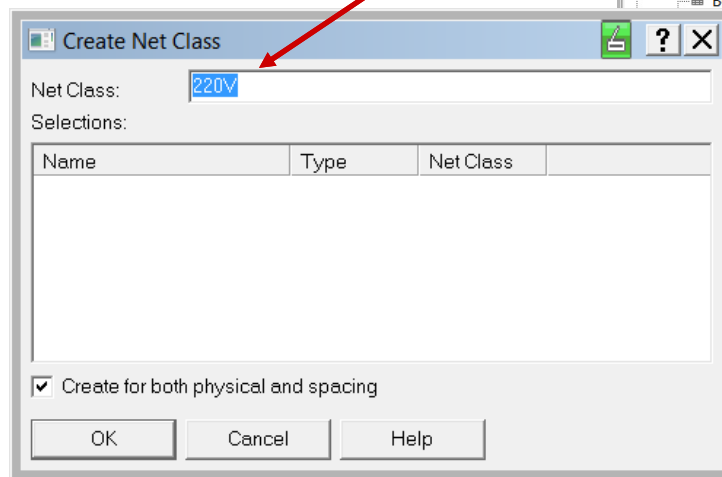
Übung:

Ein Beispiel, basierend auf dem unter Netzlistenimport erstellten File **netlist.brd**, finden Sie auf den folgenden Seiten.

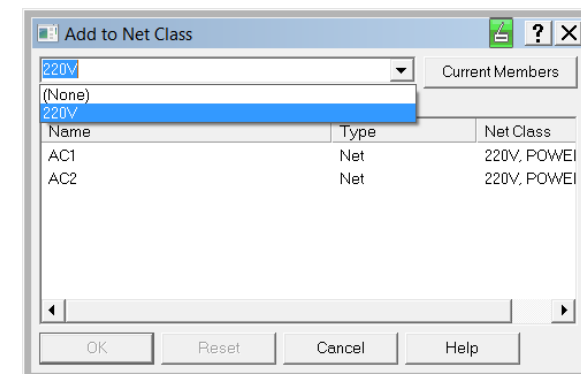
Übung: Schritt 1 - Netzklasse

Generieren einer Netzklasse ①

1. **RMB** auf Design Name klicken
Create > Net Class... >
2. Tragen Sie den Namen **220V** ein > **OK**



3. Die Netzklasse 220V besteht aus den Netzen AC1 und AC2.
Diese Netze müssen der Netzklasse zugeordnet werden.
Hierzu selektieren Sie **AC1** und **AC2** und klicken
RMB > Add to... > Net Class
Netzklasse 220V anwählen > OK



Übung: Schritt 1 - Netzklasse

4. Jetzt sind **AC1** und **AC2** als Mitglieder zu **Net Class 220V** erstellt.

The screenshot shows the Allegro Constraint Manager interface. The 'constraints' table is displayed, listing various constraint types and their parameters. The '220V (2)' constraint is highlighted, and its members 'AC1' and 'AC2' are also highlighted with a red circle.

Type	S	Name	Referenced Spacing C Set	Line To					
				Line mm	Thru Pin mm	SMD Pin mm	Test Pin mm	Thru Via mm	BB Via mm
Dsn	*	constraints	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
NCLs	*	220V (2)	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		AC1	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		AC2	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		ADJ031	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		GND	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		N01867	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		N16250	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		N16468	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		OUT	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3
Net		PLUS	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3

source: Design constraints

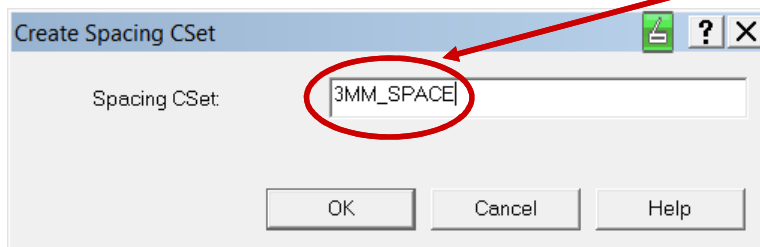
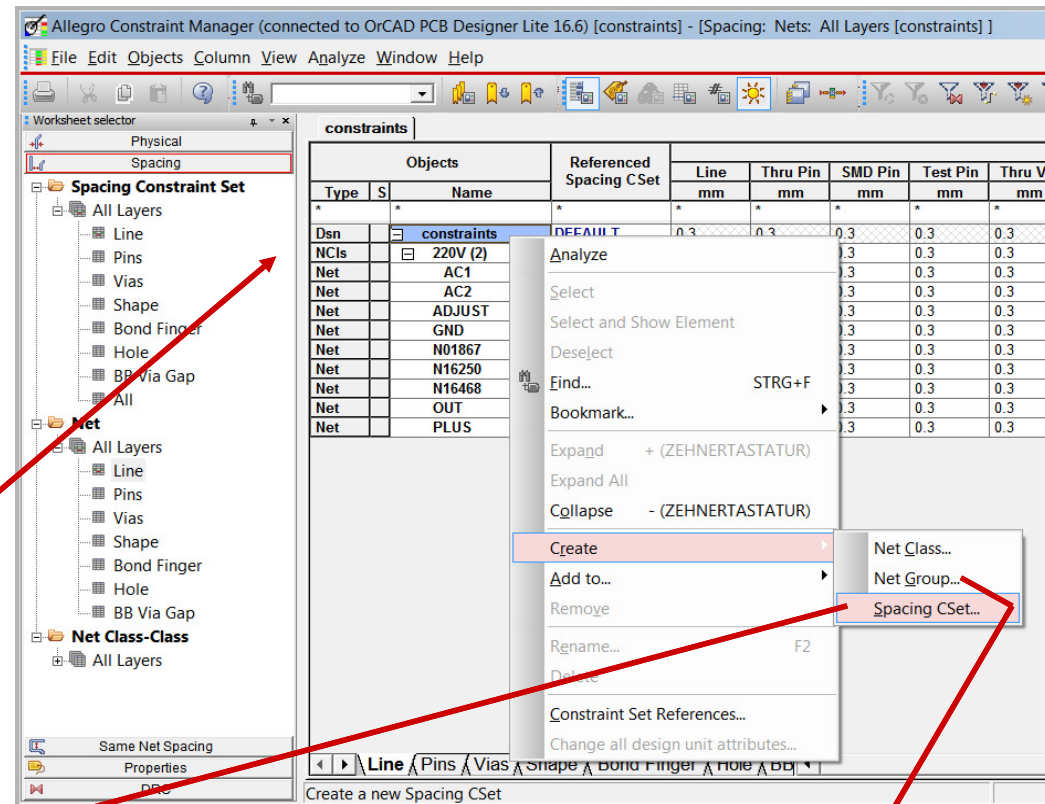
DRC SYNC

Übung: Schritt 2 - Neues Rule Set

Generieren eines neuen Rule Sets (CSet)

- Alle Regeln werden möglichst in **CSets** organisiert, um die Zuweisung dieser Regeln bei Mehrfachverwendung zu vereinfachen. Jede Regel kann natürlich auch für sich allein zugewiesen werden.

- Generieren eines neuen **Spacing CSet**:
Bereich **Spacing** auswählen > **RMB**
auf **Design Name** klicken > **Create** >
Spacing CSet...
- Geben Sie den Namen **3mm_Space** ein
> **OK**



Net Group ersetzt seit 16.6 die vorige Funktion Busse. Hier können verschiedene Netztypen, wie Busse, Xnets und DiffPairs, mit unterschiedlichen Netznamen (z.B. DATA<0..9>, CLK, ..) in einer Gruppe zusammengefasst werden.

Übung: Schritt 2 - Neues Rule Set

3. Wählen Sie **Spacing Constraint Set > All Layers > All**
4. Ändern Sie alle Werte der **DEFAULT** Regel auf **0.3mm**
5. Ändern Sie alle Werte der **3MM_SPACE** Regel auf **3mm**

Tipp:

Selektieren Sie das erste Feld direkt rechts neben dem CSET, und ziehen den Cursor bis zum gewünschten Feld nach rechts.

Nachdem Sie die LMB los gelassen haben, ist das linke Feld frei zur Eingabe des neuen Wertes.

Auf diese Weise ist es recht einfach den verschiedenen Elementen gleiche Werte zuzuweisen.

The screenshot shows the Allegro Constraint Manager interface. The 'constraints' table is visible, with the following data:

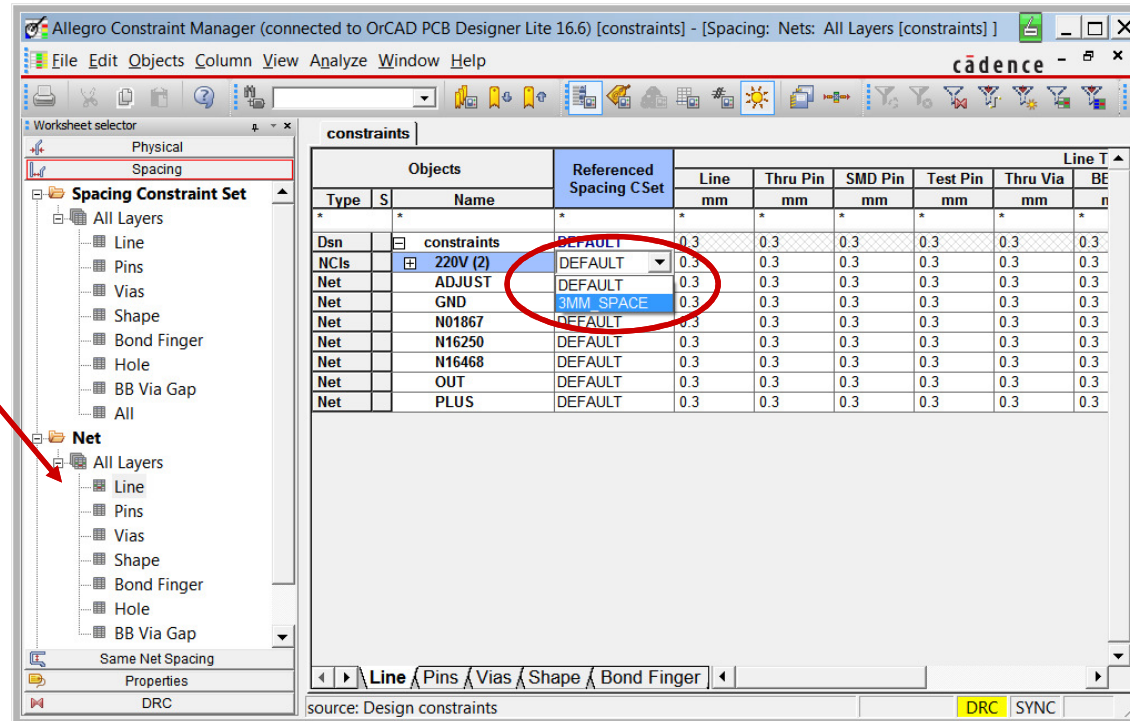
Objects		Line To						
Type	S	Line	Thru Pin	SMD Pin	Test Pin	Thru Via	BB Via	Test Via
		mm	mm	mm	mm	mm	mm	mm
*	*	*	*	*	*	*	*	*
Dsn	constraints	0.3	0.3	0.3	0.3	0.3	0.3	0.3
SCS	DEFAULT	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	TOP	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	GROUND	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	POWER	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	BOTTOM	0.3	0.3	0.3	0.3	0.3	0.3	0.3
SCS	3MM_SPACE	3.0	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	TOP	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	GROUND	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	POWER	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Lyr	BOTTOM	0.3	0.3	0.3	0.3	0.3	0.3	0.3

The table shows that the 'DEFAULT' and '3MM_SPACE' rows have their values highlighted with red circles, indicating the values being modified. The '3MM_SPACE' row has a value of 3.0 for the 'Line' column, while all other columns have a value of 0.3.

Übung: Schritt 3 - Zuweisung

Zuweisung der einzelnen Rule Sets zu den Netzklassen

1. Wählen Sie **Spacing > Net All Layers > Line**
2. Wählen Sie das Feld rechts neben dem Netzklassen Name **220V** an. Ein Auswahlfenster öffnet sich.
3. Selektieren Sie **3MM_SPACE**



Jetzt ist die Netzklasse 220V mit dem Regelsatz 3MM_SPACE verknüpft.

Physical und Same Net Rule Sets

Die Handhabung der Rule Sets im **Physical Worksheet** und im **Same Net Spacing Worksheet** ist analog den Schritten 1-3 des **Spacing Worksheet** der vorigen Übung.

Sie müssen nur vorher im **Worksheet Selector** des CM die jeweilige Kategorie auswählen.

Tipp:

Die Rule Sets der Worksheets

Physical

Spacing

Same Net Spacing

sind voneinander völlig unabhängig, und müssen daher separat erstellt und zugewiesen werden

The image displays two screenshots of the Allegro Constraint Manager (CM) interface, illustrating the configuration of rule sets for Physical and Same Net Spacing worksheets.

Left Screenshot: Physical Worksheet

The 'Worksheet selector' pane shows 'Physical' selected. The 'constraints' table is as follows:

Type	S	Name	Referenced Physical CSet
Dsn	*	constraints	DEFAULT
NCIs	☐	POWER (8)	2MM_BREITE
Net		AC1	DEFAULT
Net		AC2	2MM_BREITE
Net		GND	(Clear)
Net		N01867	2MM_BREITE
Net		N16250	2MM_BREITE
Net		N16468	2MM_BREITE
Net		OUT	2MM_BREITE
Net		PLUS	2MM_BREITE
Net		ADJUST	DEFAULT

The 'Worksheet selector' pane also shows a tree view with 'Physical' selected, and 'Same Net Spacing' highlighted in red.

Right Screenshot: Same Net Spacing Worksheet

The 'Worksheet selector' pane shows 'Same Net Spacing' selected. The 'constraints' table is as follows:

Type	S	Name	Referenced Same Net Spacing CSet	Lin	mm
Dsn	*	constraints	DEFAULT	*	*
NCIs	☐	220V (2)	DEFAULT	0.3	
Net		AC1	DEFAULT	0.3	
Net		AC2	3MM_SPACE	0.3	
Net		ADJUST	DEFAULT	0.3	
Net		GND	DEFAULT	0.3	
Net		N01867	DEFAULT	0.3	
Net		N16250	DEFAULT	0.3	
Net		N16468	DEFAULT	0.3	
Net		OUT	DEFAULT	0.3	
Net		PLUS	DEFAULT	0.3	

The 'Worksheet selector' pane shows a tree view with 'Physical' selected, and 'Same Net Spacing' highlighted in red.

Design Constraints 1

Wie bereits erwähnt, werden über den Constraints Manager neben den Physical und Spacing Rules auch die Design Constraints definiert.

Diese sind über **Setup > Constraints > Modes...**

oder

über den CM selbst, **Analyse > Analysis Modes** zu erreichen.

Unter der Rubrik **Design Options** finden Sie Einstellungsmöglichkeiten für:

Inselcheck für Negativlagen

Soldermask Ausrichtung / Spacings

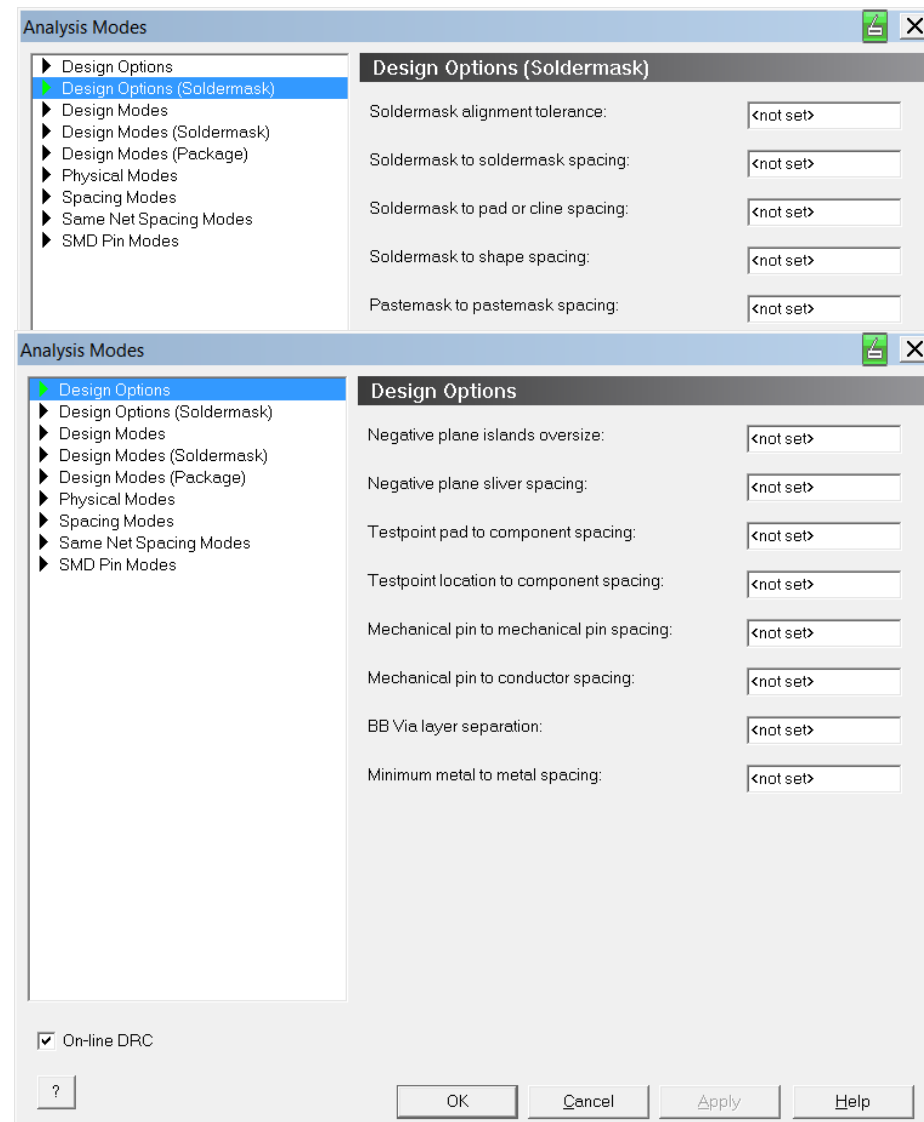
Pastmask Spacings

Testpoint Spacings

Mechanical Pin Spacings

Metal to Metal Spacing

Auf die Handhabung der einzelnen Checks wird in dieser Anleitung nicht weiter eingegangen. Hierzu sei auf die ausführliche Online-Doku zum PCB Editor verwiesen.



Design Constraints 2

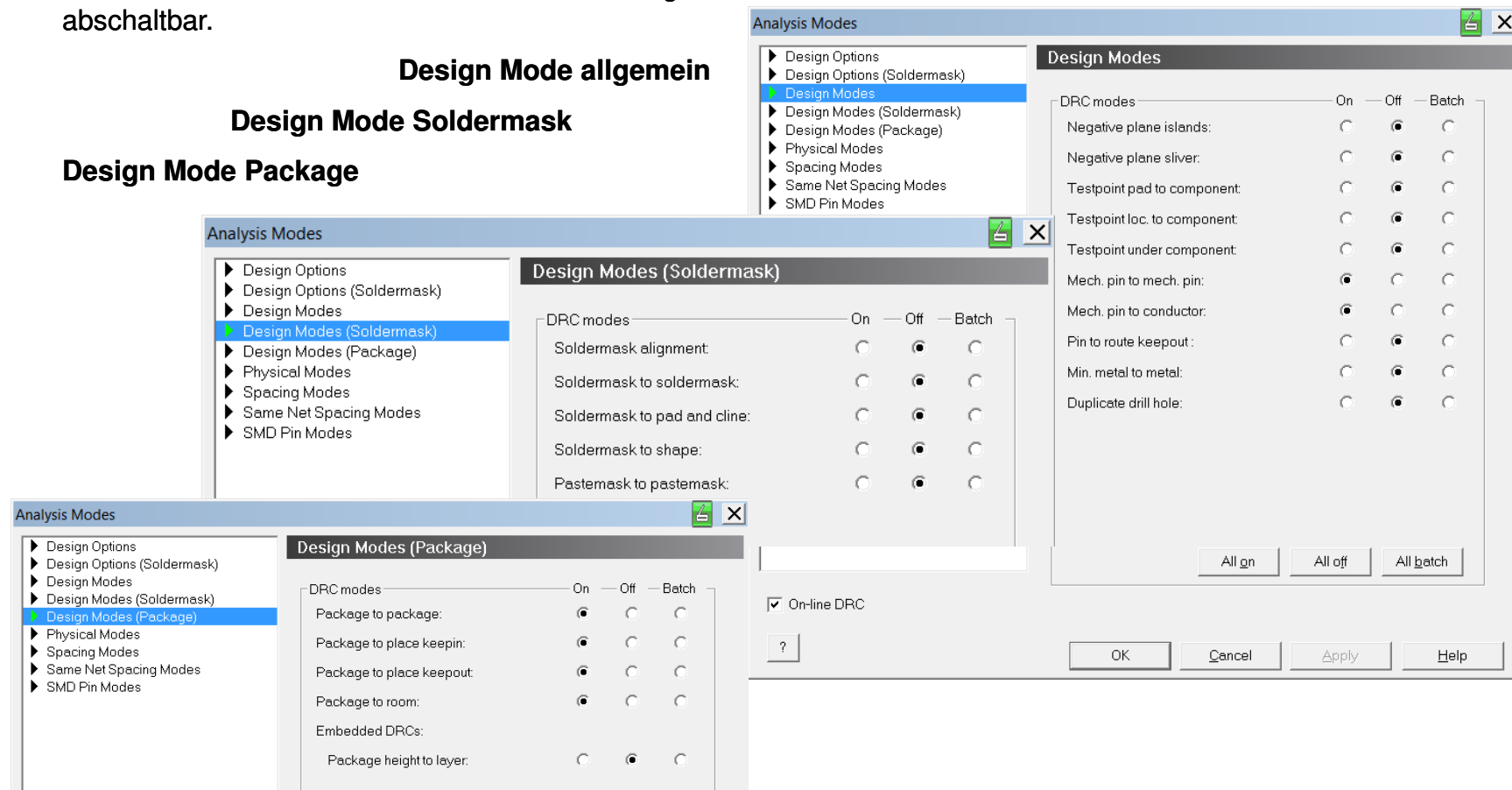
Der wichtigste Punkt ist, dass immer überprüft wird, ob die entsprechenden Checks im jeweiligen Mode auch eingeschaltet sind, da sonst keine Prüfung erfolgt und im DRC-Menü des CM bzw. im Arbeitsbereich des PCB-Editors auch keine Error-Message angezeigt wird.

Über die verschiedenen Selektionen sind die dargestellten Modi erreichbar und deren Check einzeln zu- oder abschaltbar.

Design Mode allgemein

Design Mode Soldermask

Design Mode Package



Design Constraints 3

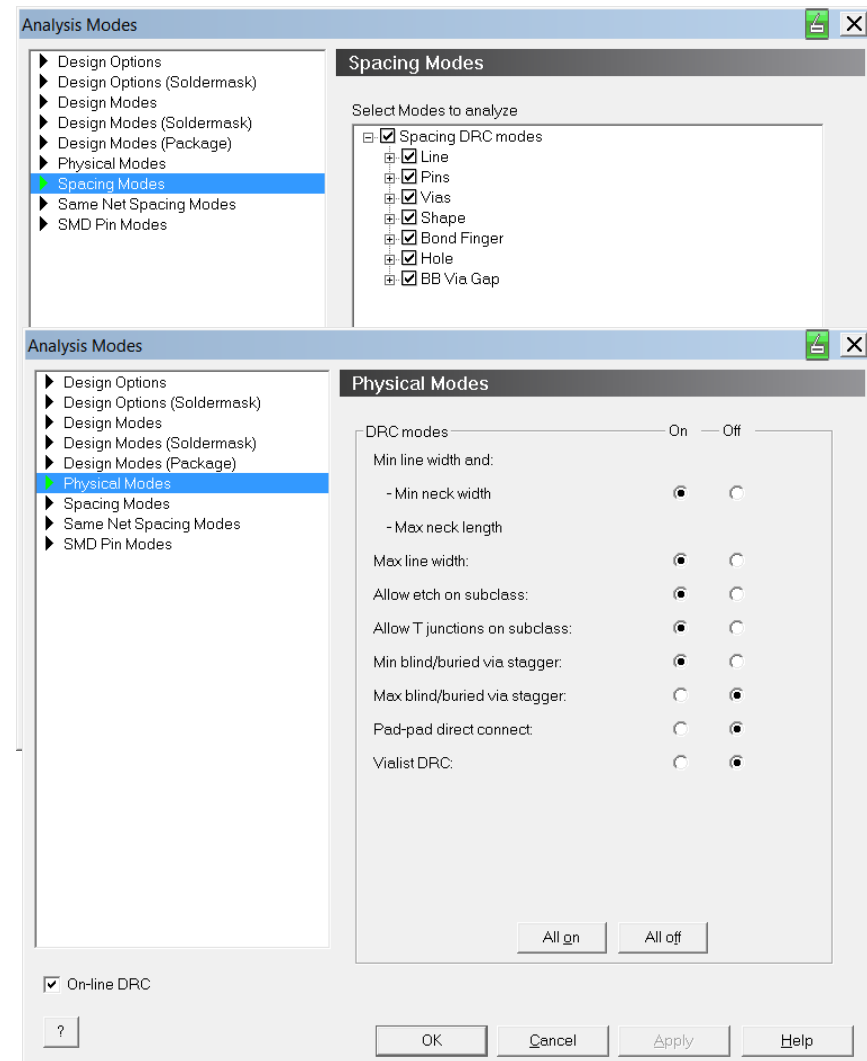
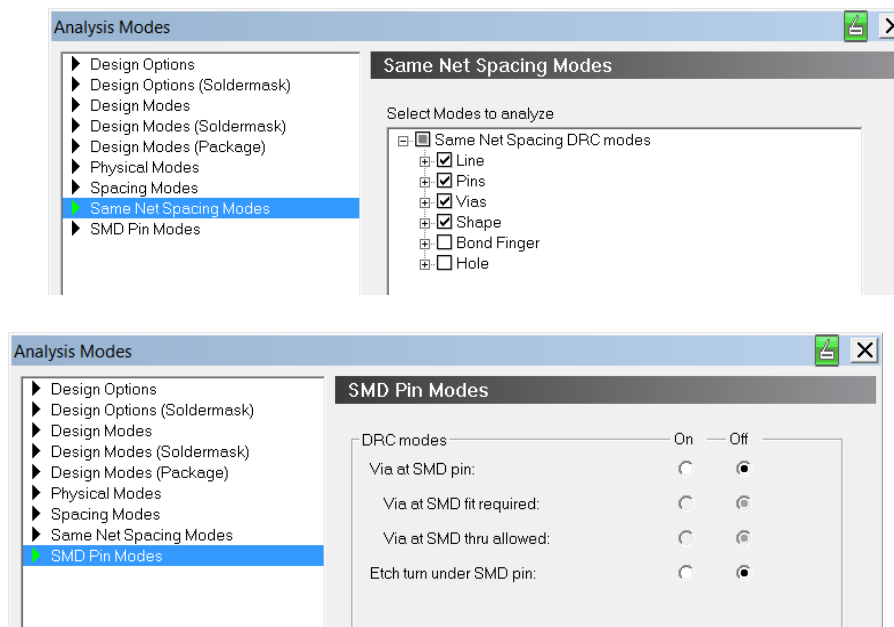
Nachfolgend der Inhalt der übrigen Modes

Spacing Mode

Physical Mode

Same Net Spacing Mode

SMD Pin Mode



Placement

Bauteilplatzierung (allgemein)

Nach erfolgreichem Setup der Design Constraints werden in diesem Abschnitt die verschiedenen Möglichkeiten der Bauteilplatzierung vorgestellt und wiederum an Hand unseres Beispiels als Übung durchgeführt.

Vorab nochmals ein Überblick, welche Informationen der PCB Editor für eine Platzierung benötigt.

Zwingend benötigte Elemente für ein Platzierung sind:

- Netzliste
- Package Symbol (Footprint)
- Padstack
- Shape Definitionen (Padstack Sonderformen)

Footprints, Padstacks, und Shape Definitionen für Padstacks müssen separat über Bibliotheken dem PCB Editor zur Verfügung gestellt werden.

PSMPATH und **PADPATH** werden hier als Variablen verwendet, um diese Daten auf der Harddisk zu lokalisieren.

Definiert sind diese Variablen im **env** File und können über den **User Preference Editor** modifiziert werden. Siehe hierzu auch Einführung Environment am Beginn dieser Anleitung.

Ergänzende Elemente für die Platzierung sind:

- Floorplanning (kann u.a. durch die ROOM Property bereits in der Schematic vorbereitet werden)
- Package Keepouts (verhindert ein Platzieren von Bauteilen auf gesperrten Bereichen). Hinzuzufügen durch:
Setup > Areas > Package Keepout

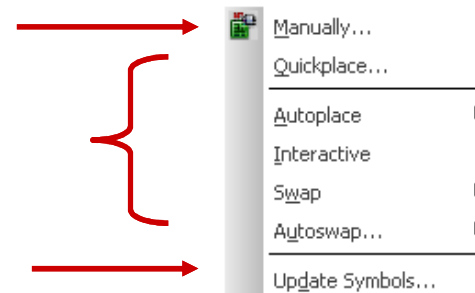
Bauteilplatzierung (Typ)

Im wesentlichen unterscheiden wir **2 Arten** der Platzierung zuzüglich Bibliothekswerkzeuge

Manuelle Platzierung

Automatische Platzierung

Symbol Library Werkzeug



Manually: individuelle Platzierung einzelner Komponenten entsprechend gewählter Kriterien.

Quickplace: schnelles Platzieren von Bauteilgruppierungen entsprechend gewählter Kriterien.

Autoplace: bedarf einer zusätzlichen Definition von Parametern z.B. Platzierungsraster für Top und/oder Bottom

Interactive: interaktives Autoplace unter Verwendung der unter Autoplace definierten Parameter

Swap/Autoswap: Platzierungsoptimierung durch Pin, Gatter oder Komponententausch.

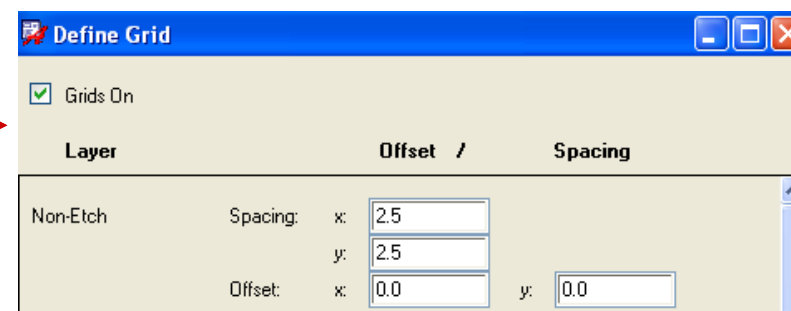
Update Symbols: ermöglicht ein Update der Datenbasis bezüglich geänderter Bibliotheksdaten

Nachfolgend werden nur die manuelle Platzierung und Quickplace dargestellt.

Zuvor kontrollieren wir aber nochmals das Platzierungsraster mittels **Setup > Grids**

Ein sinnvolles Platzierungsraster, ermöglicht ein vernünftiges Arbeiten mit der Maus.

Die Tastatur erlaubt beliebige Eingaben, auch mit Komma.



Place Manually...

Die manuelle Platzierung selbst starten wir wie folgt:

Place > Manually oder



Es stehen insgesamt **5** Optionen zur Auswahl:

- **Components by refdes**

Auswahl der Bauteile nach REFDES, entsprechend der geladenen Netzliste

- **Components by net group**

Platzierung entsprechend der Net Group Definition im Constraint Manager

- **Package Symbols**

Platzieren von Packages (Footprints) ohne elektrische Information hinsichtlich der Netzliste

- **Mechanical Symbols**

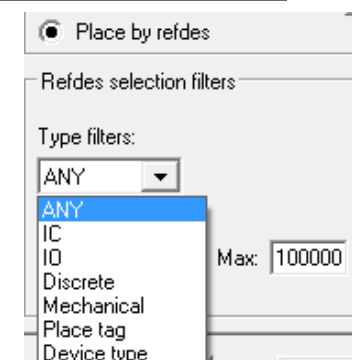
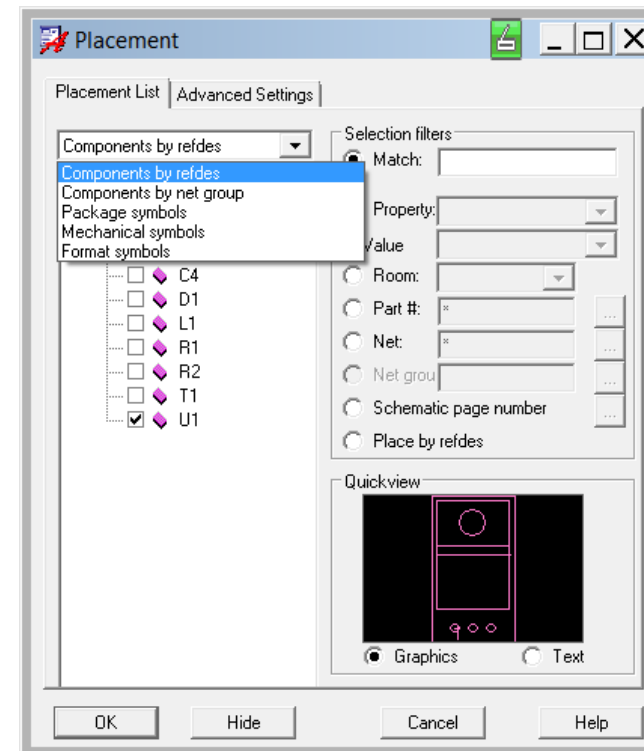
Platzieren von mechanischen Symbolen (z.B. zusätzliche Outline oder Befestigungsbohrungen)

- **Format Symbols**

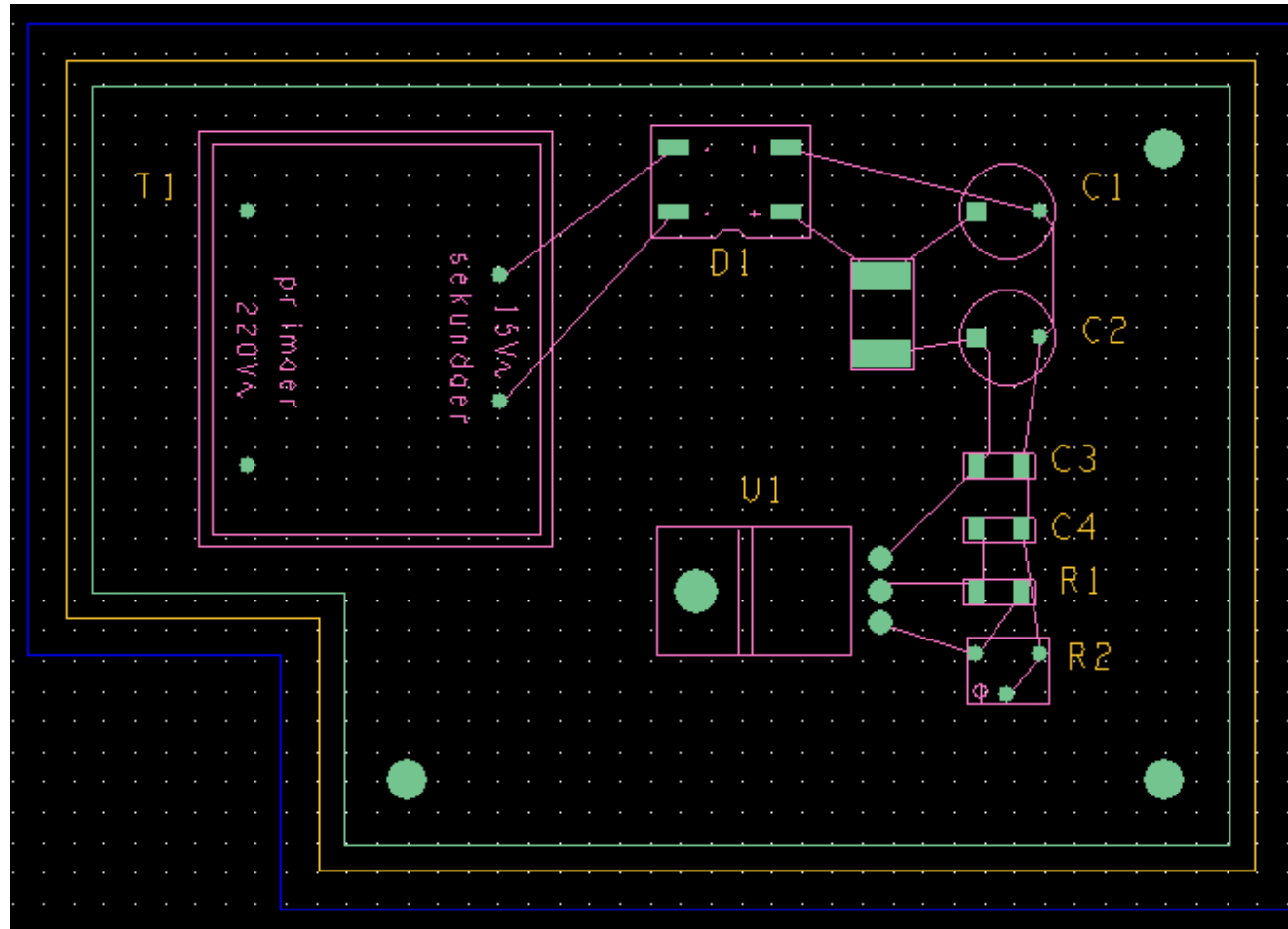
z.B. Zeichnungsrahmen für Doku

Der Selections Filter stellt eine Vielzahl von praktischen Auswahlkriterien zur Verfügung.

Neben der Vorschau für die oberen Optionen erlaubt **Place by refdes** weitere Optionen, wie Class-Filter und Pin-Anzahl.



Platzierungsvorlage

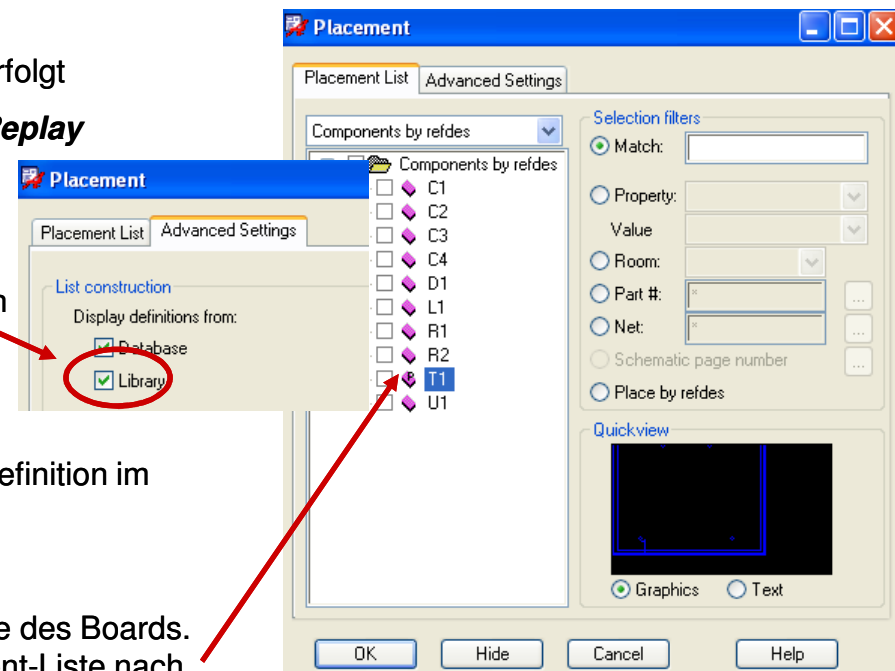


Übung: Beispiel (1)

Im folgenden werden der Ablauf und die Optionen der Platzierung am Beispiel des im vorigen Kapitels erzeugten Files **constraints.brd** erläutert. Als Vorlage soll die Darstellung der vorigen Seite dienen.

Nach dem Laden der Netzliste sind die Bauteile zuerst nur im Hintergrund vorhanden, d.h. es ist nur die Information zu den Bauteilen geladen worden. Erst mit der Platzierung werden die Footprints in das bestehende Board File geladen.

1. Laden des **constraints.brd** falls nicht schon erfolgt
2. **File > Script > Browse „placement.scr“ > Replay**
Optimieren der grafischen Darstellung
3. **Place > Manually...**
4. Unter **Advanced Settings** „Library“ selektieren
5. Wählen Sie als erstes Bauteil den Trafo **T1**
6. **RMB > Rotate** (Pin 1 und 5 nach links)
Alternativ **Short-Key „R“** entsprechend der Definition im Kapitel 2
7. **LMB**, um T1 zu positionieren.
Platzieren Sie den Trafo in die linke obere Ecke des Boards. Beachten Sie das „P“ in der aktuellen Placement-Liste nach erfolgter Platzierung.
8. Schließen Sie das Placement Fenster mit „**OK**“
9. Platzieren Sie keine weiteren Bauteile



Filterparameter

Bevor Sie die Platzierung vervollständigen, wollen wir kurz auf die verschiedenen Auswahlkriterien des Selektionsfilters eingehen. Insbesondere bei größeren Boards sind diese Filterkriterien bei der manuellen Platzierung unverzichtbar und erhöhen die Effizienz der Arbeit enorm.

Das Selektionsfilter erlaubt die Definition von Platzierungsoptionen durch eine Limitierung der Bauteile, die anschließend zur weiteren Selektion zur Verfügung stehen.

Bitte testen Sie obige Optionen an Hand des vorliegenden Testbeispiels, **bevor** Sie die Platzierung vervollständigen, da nach erfolgter Platzierung nicht alle Option mehr verfügbar sind.






Wählen Sie die Optionen, die Ihrer Vorgehensweise am besten entsprechen.

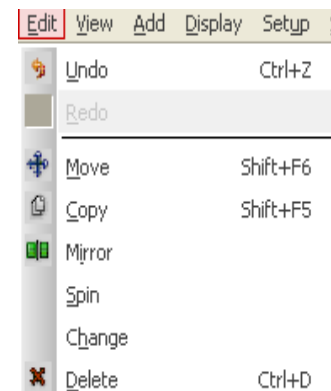
- Match:** Mittels REFDES und Wildcard „*“ und anschließender TAB-Taste können z.B. nur Kondensatoren (C*) zur Auswahl gebracht werden.
- Property:** Selektion nach vordefinierten Properties und Values einschließlich User Properties.
- Room:** Platzierung nach Room Property, sogenanntes Floorplanning.
- Part #:** Platzierung nach Sachnummer, sofern vorhanden.
- Net:** Platzierung aller Bauteile die an ein bestimmtes Netz angeschlossen sind.
- Schematic page number:** Nur für Design Entry HDL als Font-End-Tool
- Place by refdes:** zusätzliche Selektion von Class Property und Pin-Anzahl möglich.

Platzierungshilfen

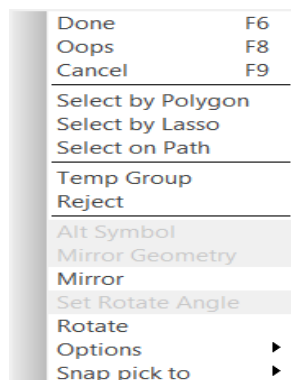
Während oder auch nach der Platzierung werden natürlich weitere Funktionen benötigt, um z.B. neben geforderter Effektivität auch technologische Vorgaben realisieren zu können.

Nachfolgend die wichtigsten Funktionen, zu erreichen über das Pull Down Menü oder die aufgeführten Icons.

- Move:**  Neupositionieren von Elementen
- Copy:**  Kopieren von Elementen (nicht elektrisch)
- Mirror:**  Bauteile von Top auf Bottom oder umgekehrt.
- Spin:**  Drehen von Elementen
- Delete:**  Löschen von Elementen



Rotate: Diese Funktion steht nur als Unterfunktion von **Move** oder **Place** über das Pop Up Menü oder eine definierte Funktionstaste (z.B. **ShortKey** „R“) zur Verfügung.



Tipp:

Bei allen Funktionen ist besonders auf den Find-Filter und die umfangreichen Optionen im Option Control-Panel zu achten.

Weitere Platzierungshilfen

Ratsnet OFF/ON



Guidelines aus/ein

erweiterte Funktion unter **Display > Show/Blank Rats >...**

Assign Color



Permanente Farbzweisung auf beliebige Elemente

Highlight/Dehighlight

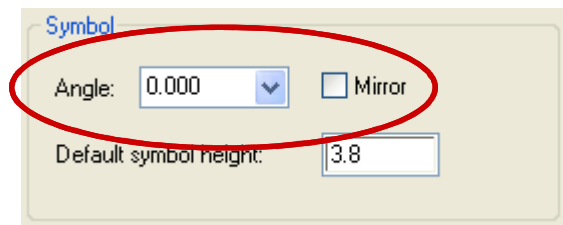
Anwendung des Find-Filters und Option Panels

auch über **Display > Assign Color/Highlight/Dehighlight** aufrufbar

**Setup > Design Parameters...
>Design**



Mirror und **Angle** erlauben eine Voreinstellung der unter Place > Manually ausgeführten Platzierung hinsichtlich TOP/BOTTOM und Drehrichtung.



Ergänzende Elemente für die Platzierung :

- Floorplanning (kann u.a. durch die ROOM Property bereits in der Schematic vorbereitet werden)
- ➔ **Setup > Outlines > Room Outline...**
- Package Keepouts/Keepins/Height (Platzieren von Bauteilen in restriktiven Bereichen).
- ➔ **Setup > Areas > Package Keepout/Keepin/Height**

Quickplace...

Quickplace starten wir über:

Place > Quickplace...

Mit Quickplace steht ein sehr flexibles und universell einsetzbares Tool zur Verfügung, um die Platzierungsarbeit möglichst effektiv zu gestalten.

So können Sie durch **einen** Klick überprüfen, ob alle über die Netzliste zugewiesenen Footprints auch bibliotheks-mäßig zur Verfügung stehen. Setzen Sie hierzu:

➔ Placement Filter auf „*Place all components*“

➔ Placement Position auf „*Around package keepin*“

Und jetzt „**Place**“

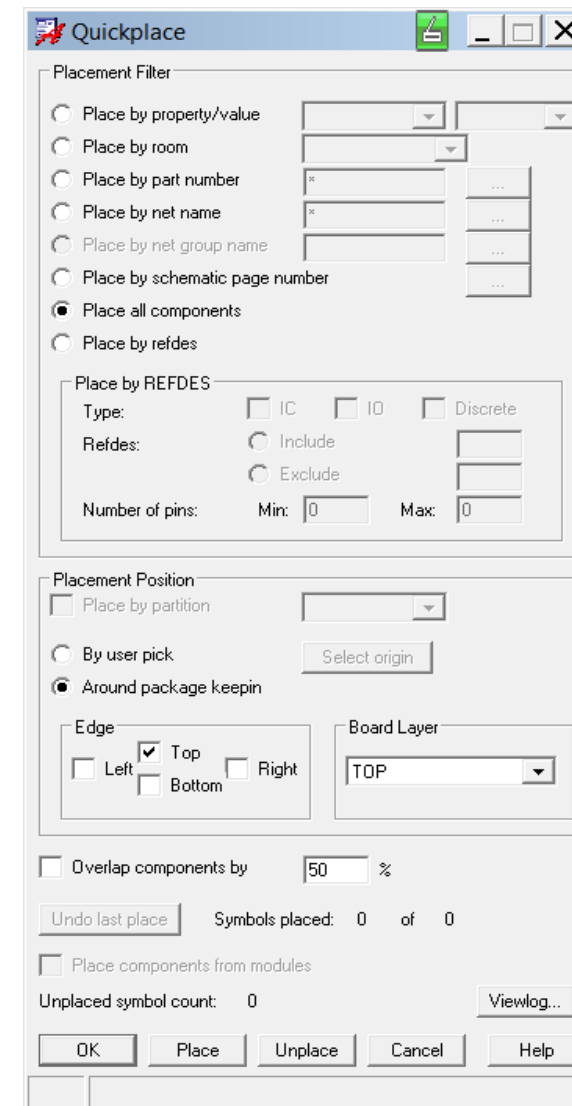
Unplaced Symbol count gibt dann die Auskunft ob Bauteile nicht platziert werden konnten, weil die Bibliothek diese nicht enthielt, oder der Bibliotheks-Pfad fehlte.

Welche Bauteile dies sind, ist über „**Place Manually**“ zu prüfen.

Alle weiteren Optionen sind selbsterklärend, wobei bei einigen natürlich die Definition der entsprechenden Properties im Stromlaufplan erfolgt sein muss.

Tip:

Ein *Unplace* aus diesem Menü ist nur möglich, solange *Quickplace* nicht über *OK* abgeschlossen wurde.



Übung: Beispiel (2)

1. Wählen Sie **Place > Manually...**
2. Beachten Sie, dass T1 nun in der Liste nicht mehr aufgeführt ist.
3. Selektieren Sie jetzt ROOM in Selektion Filter und wählen als Room Gleichrichter
4. Es werden C1, C2, D1 und L1 im Auswahlfenster gezeigt.
5. Selektieren Sie **D1** und rotieren um 180 Grad.
6. Platzieren Sie über die Kommandozeile: Eingabe: **x 30 45** und **Enter**
7. Selektieren Sie die Kondensatoren und platzieren diese mit Pin 1 nach links (270Grad) auf: 45 45 und 45 35.
8. Selektieren Sie L1 und platzieren Sie die Drossel mit Pin 1 nach oben (270Grad) auf: 37.5 40.
9. Selektieren Sie jetzt **ROOM** im Selection Filter und wählen Sie als Room **U-Regler**
10. Es werden die restlichen Bauteile angezeigt. Selektieren Sie alle.
11. Platzieren Sie der Reihe nach auf: 45 25; 45 20; 45 15; 45 10 (90Grad); 37.5 12.5 (90Grad), **RMB > Done**
12. Nochmals **Place > Manually**. Die Liste für Comp by Refdes ist leer, alle Bauteile sind platziert.
13. Schließen Sie das Placement Fenster mit „**OK**“
14. **Edit > Change** und selektieren im Option Panel **Text Block + 6**, Find Filter auf nur Text
15. Klicken Sie auf jeden REFDES oder ziehen ein Rechteck über eine Gruppe. REFDES haben nun **eine** Größe.
16. **Edit > Move** und setzen das Find Filter auf nur Text
17. Verschieben Sie jeden REFDES laut Vorlage, unter zusätzlicher Verwendung des Rotate Befehls (z.B. RMB)
18. Speichern Sie Ihr Ergebnis als **placed.brd** ab.

Routing

Routing

Das Routing ist das Verlegen der Kupferbahnen entsprechend der vorhandenen Netzliste. Es ist sowohl manuell (interaktiv) als auch automatisch über den im Bundle enthaltenen Automatic Router (Specetra*) durchführbar.

Beide Routing Typen sind sowohl über Ikonen als auch Pull Down Menüs (*Kommando*) aufrufbar.

Rats All / Unrats All: (*Display > Show/Blank Rats*)

Ein-Aus der Ratsnets/Gummibändchen.

Add Connect: (*Route > Connect*)

Manuelles Routen der elektrischen Verbindungen.

Slide: (*Route > Slide*)

Verschieben von existierenden Bahnen.

Create Fanout: (*Route > Create Fanout*)

Hinzufügen von Fanout/PinEscape vor dem Routen

Custom Smooth: (*Route > Custom Smooth*)

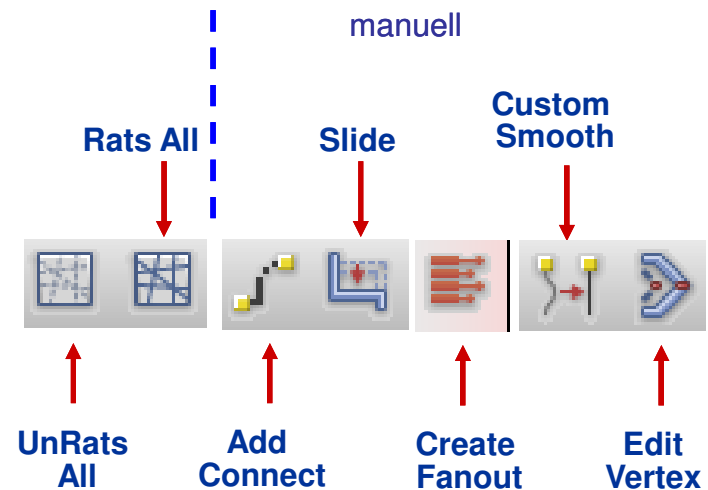
Optimieren der Leiterbahnführung.

Edit Vertex: (*Edit > Vertex*)

Hinzufügen/Entfernen von Vektoren an existierenden Bahnen.

Auto Route Param/Route: (*Route > PCB Router > Route Automatic*)

Öffnen der Parameterform und starten des PCB Routers im Hintergrund.



Hinweis:

Specetra* ist nicht in der Demo Version enthalten

Routing Grid

Wir beschränken uns im Weiteren auf die manuelle Methode.

Bevor wir jedoch mit der Arbeit beginnen, kontrollieren wir nochmals das Etch Grid Raster (Routing Raster).

Das Etch Grid wird immer dann sofort angezeigt, sobald ein Route Kommando wie z.B. **Route > connect** ausgeführt wird. Es ist das Fangraster, das beim interaktiven Routen mit der Maus benutzt wird.

Wählen Sie **Setup > Grids** und tragen Sie in All Etch die Werte wie dargestellt ein.

Die **Grids On** Box kontrolliert die Sichtbarkeit des Grid Rasters.

Die All Etch Felder sind **immer** leer. Ein Eintrag hier wird in alle definierten Etch-Lagen automatisch übernommen.


Wünschen Sie unterschiedliche Raster in einzelnen Lagen müssen Sie diese Werte auch einzeln eintragen.

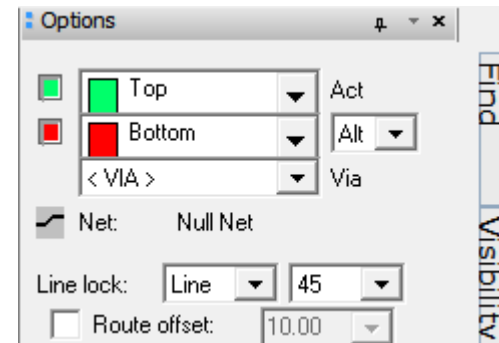
Achtung:

Bei unterschiedlichem Raster in den einzelnen Etch-Lagen ist ein Via nur im gemeinsamen Vielfachen Raster aller Lagen möglich.


Layer	Offset /	Spacing
Non-Etch	Spacing: x: 2.5 y: 2.5 Offset: x: 0.0 y: 0.0	
All Etch	Spacing: x: 0.1 y: 0.1 Offset: x: y:	
TOP	Spacing: x: 0.1 y: 0.1 Offset: x: 0.0 y: 0.0	
GROUND	Spacing: x: 0.1 y: 0.1 Offset: x: 0.0 y: 0.0	

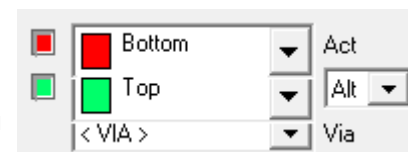
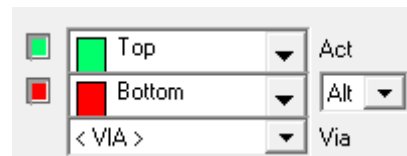
Übung: Routing Connections

1. Routing Start über: **Route > Connect** oder 
2. Prüfen der aktiven Lage (Top)
3. Selektieren des Startpunktes mit **LMB** z.B. T1 Pin 9
4. Klick **LMB** um projizierten Pfad zu fixieren
5. Erneut **LMB** um weitere Pfade zu fixieren
6. Abschließen einer Verbindung und Übergang zur nächsten durch **RMB > Next**.
Das Erreichen eines Pins beendet den aktiven Pfad ebenfalls.
7. Beenden des Connect Befehls durch **RMB > Done**.

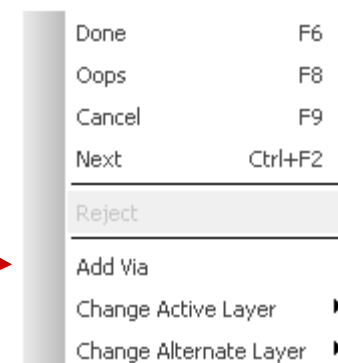


Einfügen von Vias (optional)

1. **Route > Connect** oder 
2. Prüfen der aktiven Lage
3. Legen Sie eine Leitung auf Top
4. Doppelklick um ein Via zu generieren
Alternative und Aktive Lage wechseln automatisch
5. Legen einer Leitung auf Bottom



6. Setzen eines zweiten Vias
RMB > Add Via



Routing Optionen (Alternate Mode)

Im Kapitel Designrules wurden bereits einige Voreinstellungen bezüglich Leiterbahnbreite und Leiterbahnabstand definiert. Wenn wir jetzt mit dem Verlegen von Leiterbahnen beginnen, und den Online DRC aktiviert haben, dann werden wir bereits vom Tool aktiv unterstützt. Die voreingestellte Leiterbahnbreite wird z.B. sofort als Parameter richtig eingestellt. Wir können diese Breite allerdings im Rahmen der Vorgaben noch verändern. Verlassen wir diesen Bereich, so erhalten wir sofort eine DRC-Meldung vom System, und können entsprechend reagieren.

Wurde nur der Befehl **Route > Connect** gestartet, ohne ein Pin oder Ratsnet (Guideline) zu selektieren, so stellt sich Ihr Option Panel wie rechts abgebildet dar.

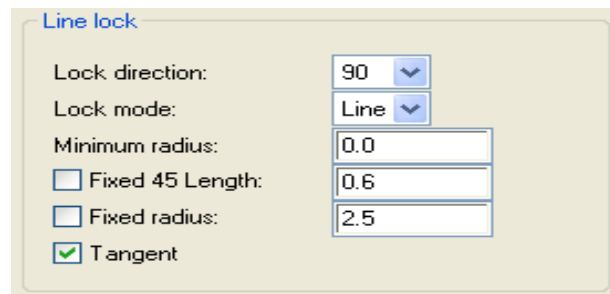
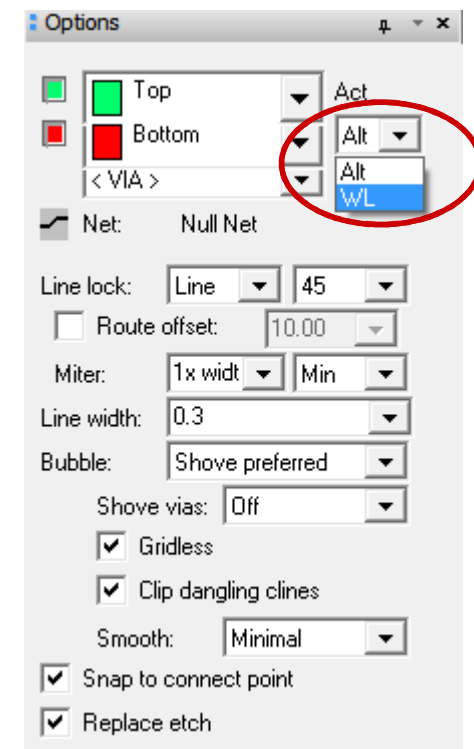
Über das rechte Fenster neben Bottom können Sie zwischen Alternate Mode und Working Layer Mode wechseln

Via: No available Via (da kein Netz selektiert)

Net: Null Net (da kein Netz selektiert)

Line width: 0.3 (default Wert, wenn kein Netz selektiert)

Die anderen Parameter resultieren aus den default settings (**Setup > Design Parameters... > Design/ Line Lock**), oder aus vorhergehenden Einstellungen während der Nutzung dieses Befehls.

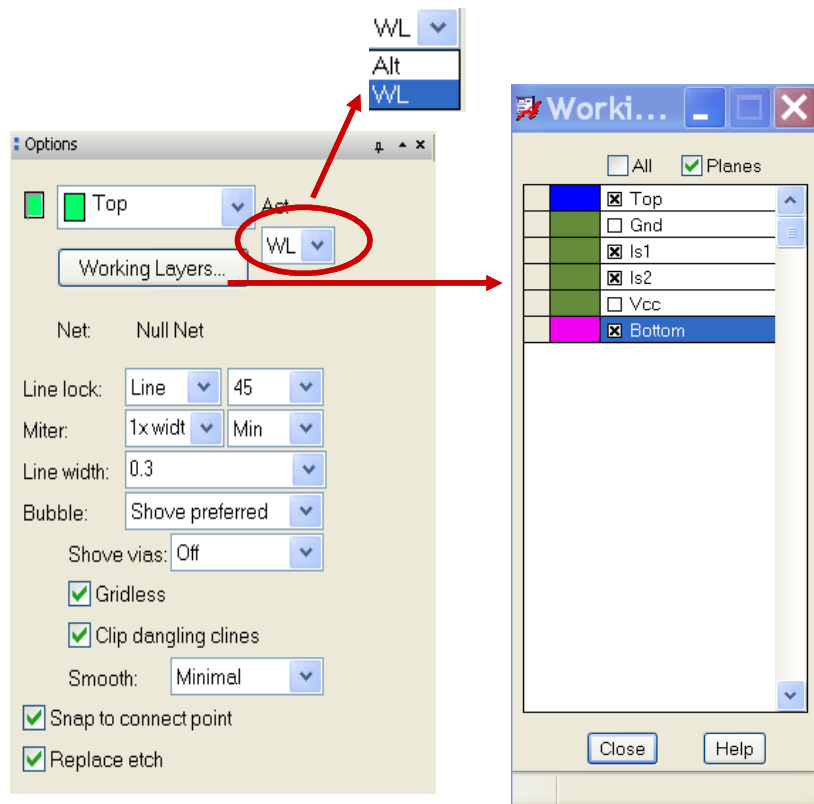


Routing Optionen (Work Layer Mode)

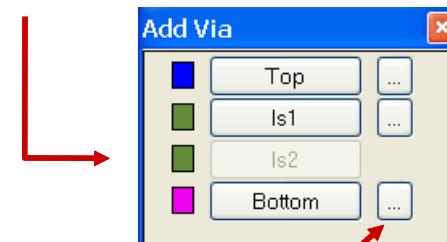
Der **Working Layer Mode** ist besonders für das interaktive Arbeiten mit hochlagigen Multilayer interessant.

Wenn dieser Mode eingestellt ist können Sie beliebige Lagen definieren, die Sie beim interaktiven Routen vorrangig benutzen wollen. Planelagen können, wenn gewünscht, auch komplett für den späteren Lagenwechsel ausgeblendet werden.

Grundsätzlich gibt es zwei Arten der Definition.



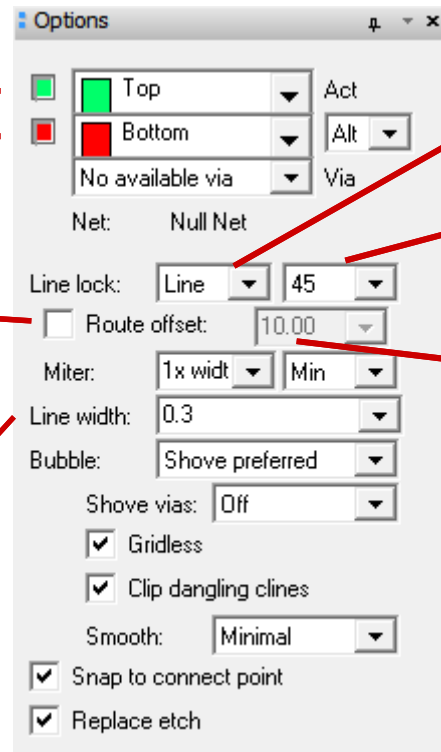
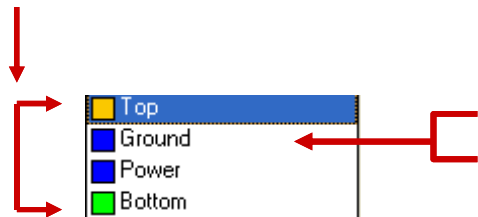
1. Es wird nur ein Paar von Lagen (=2) definiert:
Hierbei wird bei einem Doppelklick während des Routings automatisch ein Via gesetzt, und die aktive Lage wechselt immer zwischen den beiden Lagen des definierten Paares.
2. Es werden mehrere Lagen (>2) definiert:
Hierbei erfolgt bei einem Doppelklick während des Routings, vor dem Setzen des Vias, eine automatische Abfrage, zu welcher Lage gewechselt werden soll. Die momentan aktive Lage ist dabei in dem Auswahlfenster gedimmt dargestellt.



Sind mehrere Vias möglich kann eine manuelle Selektion über die Browserflächen erfolgen.

Net und Line Optionen

Ein Doppelklick während des interaktiven Routens wechselt immer zwischen der eingestellten Aktiven und Alternativen Lage, hier z.B. Top – Bottom.



Route offset:

Mit Line lock – Einstellung **Line/45** ist es möglich einen Offset zu den angegebenen 45Grad-Vielfachen 45,90,135,180,... zu routen (z.B. +- 10Grad)

Line width:

Sind dem selektierten Netz konkrete Werte über die Property **Min_line_width** oder **C-Sets** zugewiesen, so werden diese verwendet, ansonsten werden die defaultwerte aus dem Constraints-Setup benutzt.

Line
Arc

Linien oder Kreisbögen

Off
45
90

Off steht für beliebigen Winkel

Min
Fixed

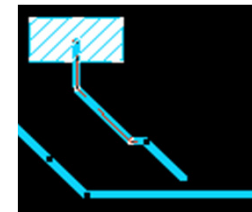
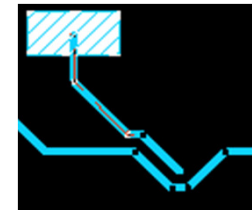
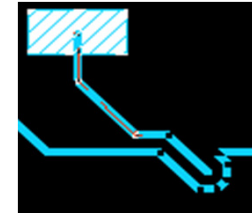
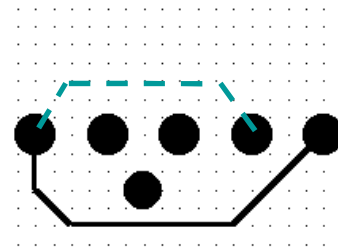
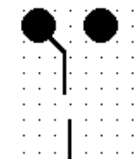
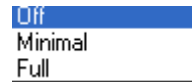
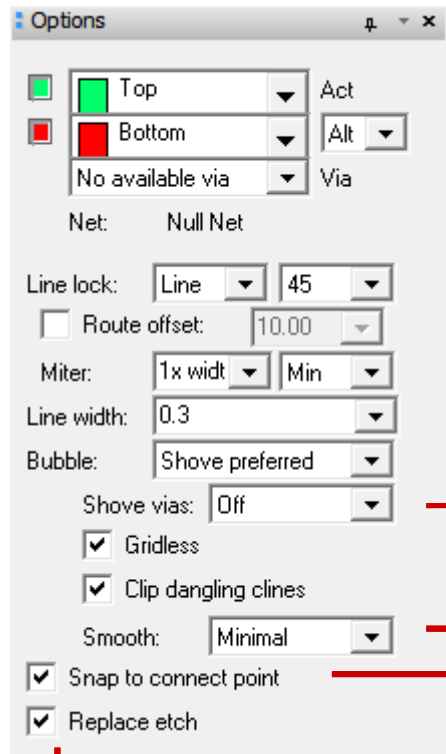
Eckenabschrägung

Min= keine Längenbegrenzung
Fixed= linker eingetragener Wert wird verwendet (1xwidth)

Tipp:

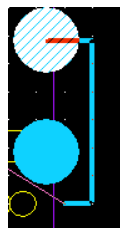
Bitte beachten Sie, dass sich die Einstellungen der Parameter Line Lock und Miter gegenseitig beeinflussen, d.h. auch die Kreisbögen können z.B. durch Miter Parameter entsprechend beeinflusst werden.

Shove via, Smooth, snap, replace

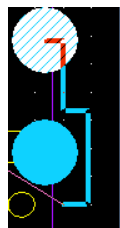


Bubble, Gridless

gridded



gridless



Options

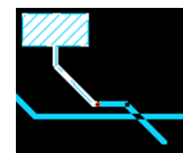
Top Act
 Bottom Alt
 No available via Via
 Net: Null Net

Line lock: Line 45
 Route offset: 10.00
 Miter: 1x width Min
 Line width: 0.3
 Bubble: Shove preferred
 Shove vias: Off

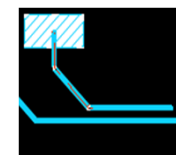
Gridless
 Clip dangling clines
 Smooth: Minimal
 Snap to connect point
 Replace etch

- Off
- Hug only
- Hug preferred
- Shove preferred

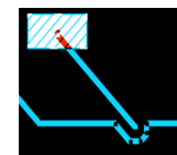
Off



Hug only
Hug preferred



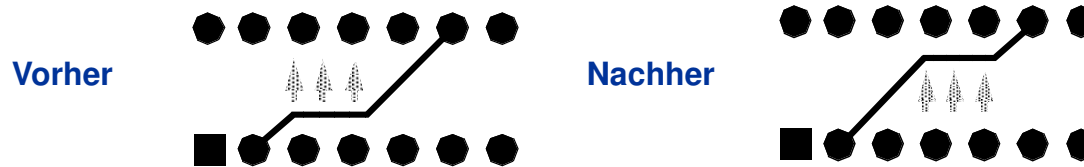
Shove preferred



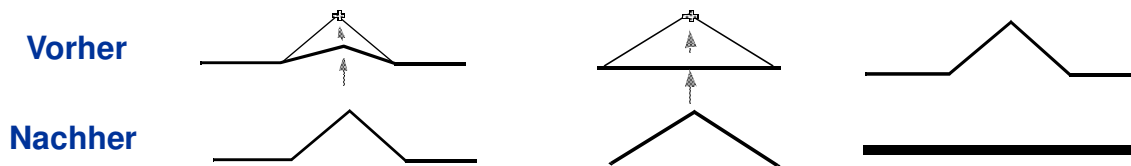
Editieren existierender Bahnen (1)

Im PCB Editor stehen umfangreiche Möglichkeiten zur Verfügung, bestehende Kupferbahnen zu editieren, d.h. deren Verlauf nachträglich zu verändern.

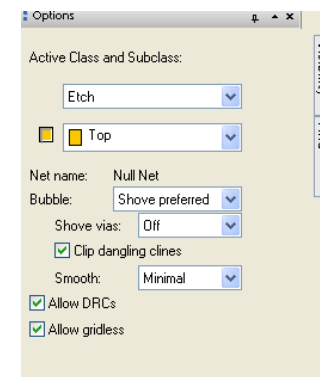
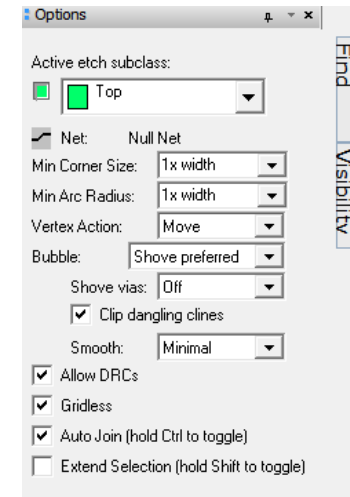
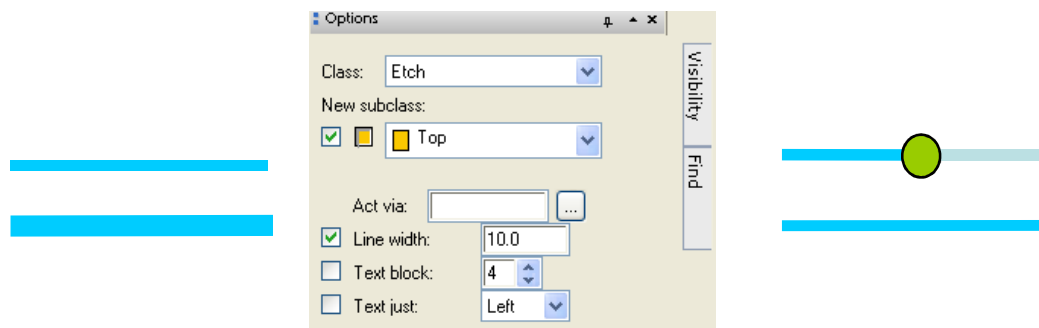
Route > Slide: Verschieben von Leiterbahnen entsprechend den verwendeten Optionen.



Edit > Vertex: Erzeugen von neuen Vektorpunkten oder Verschiebung bestehender Knickpunkte.



Edit > Change: Veränderung der Lagenzuordnung oder Breite bestehender Leiterbahnsegmente bei Lagenänderung werden automatisch Vias platziert.



Find Visibility

Find Visibility

Editieren existierender Bahnen (2)

Delete: Löschen von Leiterbahnen und Vias.

Cline Segs:

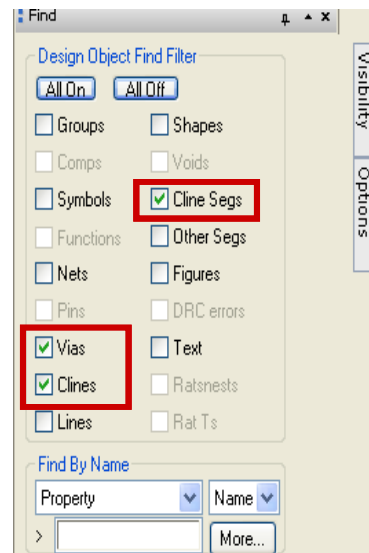
Löscht einzelne Segmente eines Netzes.

Clines:

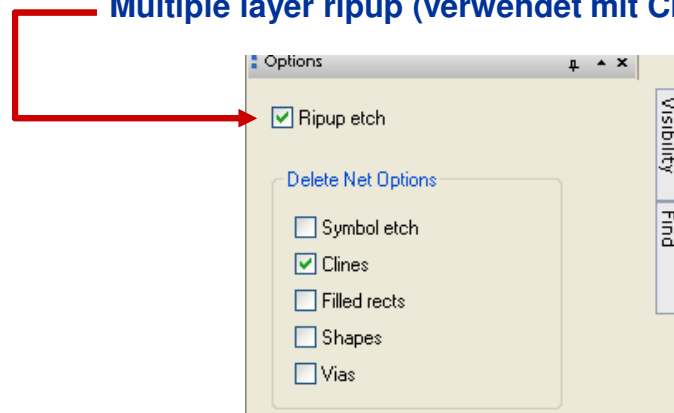
Löscht alle Elemente eines Netzes außer Vias.

Vias:

Löscht Vias



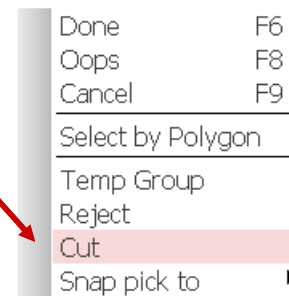
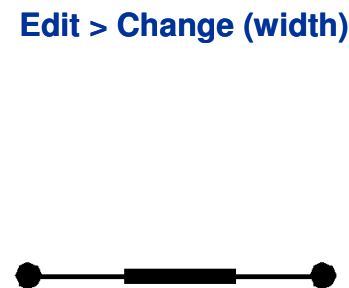
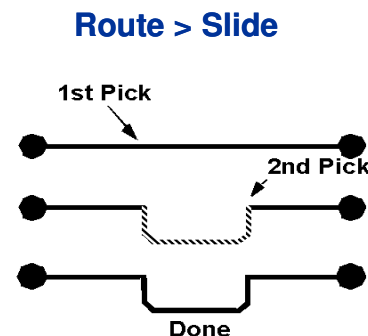
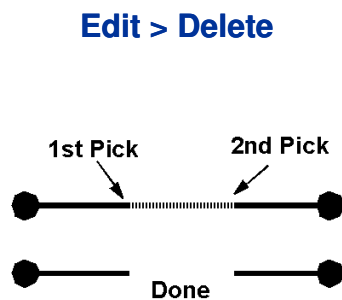
Multiple layer ripup (verwendet mit Clines)



Benutzen Sie **Ripup etch** und **Clines**, wenn Sie alle Segmente und Vias zwischen Pins auf mehreren Lagen löschen wollen.

Cut Option: dient der Definition konkreter Bereiche innerhalb eines Segments.

Wählen Sie die gewünschte Funktion und anschließend **RMB > Cut**.



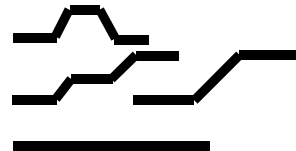
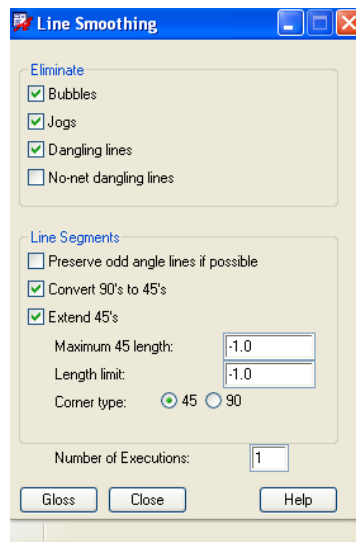
Gloss und Custom Smooth

Gloss und **Custom Smooth** dienen beide der Verbesserung der Leiterbahnführung hinsichtlich einer Fertigungsoptimierung.

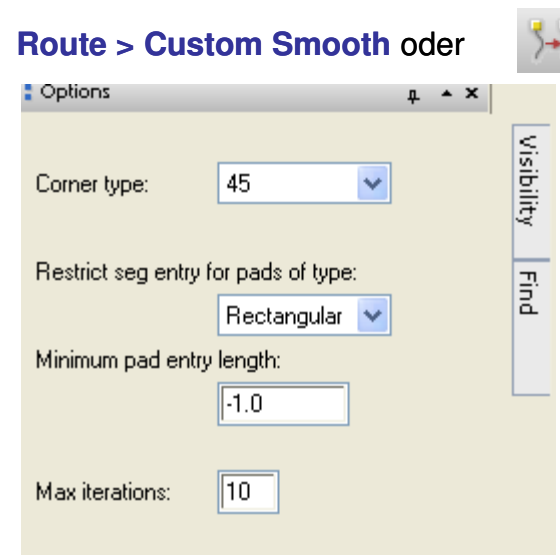
Es sollen hierdurch, z.B. durch interaktive Arbeit entstandene, überflüssige Beulen (Bubbles), Treppchen (Jogs) und sogenannte Antennen (Dangling lines) weitestgehend automatisch beseitigt werden.

Darüber hinaus ermöglichen diese Funktionen ein Konvertieren von 90 auf 45 Grad oder mit Custom Smooth sogar das Ausrichten der Bahnen auf jeden Winkel, d.h. kürzeste Verbindung (Luftlinie), bzw. ein Abrunden der Ecken. In jedem Fall ist auf die Einstellung der weiteren Parameter zu achten.

Route > Gloss Line Parameters...



Route > Custom Smooth oder



Tipp:

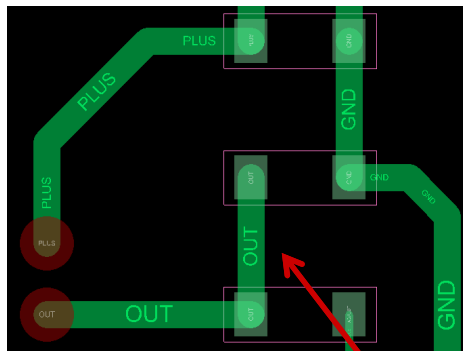
Bei Verwendung von längenoptimierten Leiterbahnen (Laufzeiten) sollten diese Leiterbahnen unbedingt durch eine No_Gloss oder Fixed Property vor dem Verändern geschützt werden.

Übung: Routing

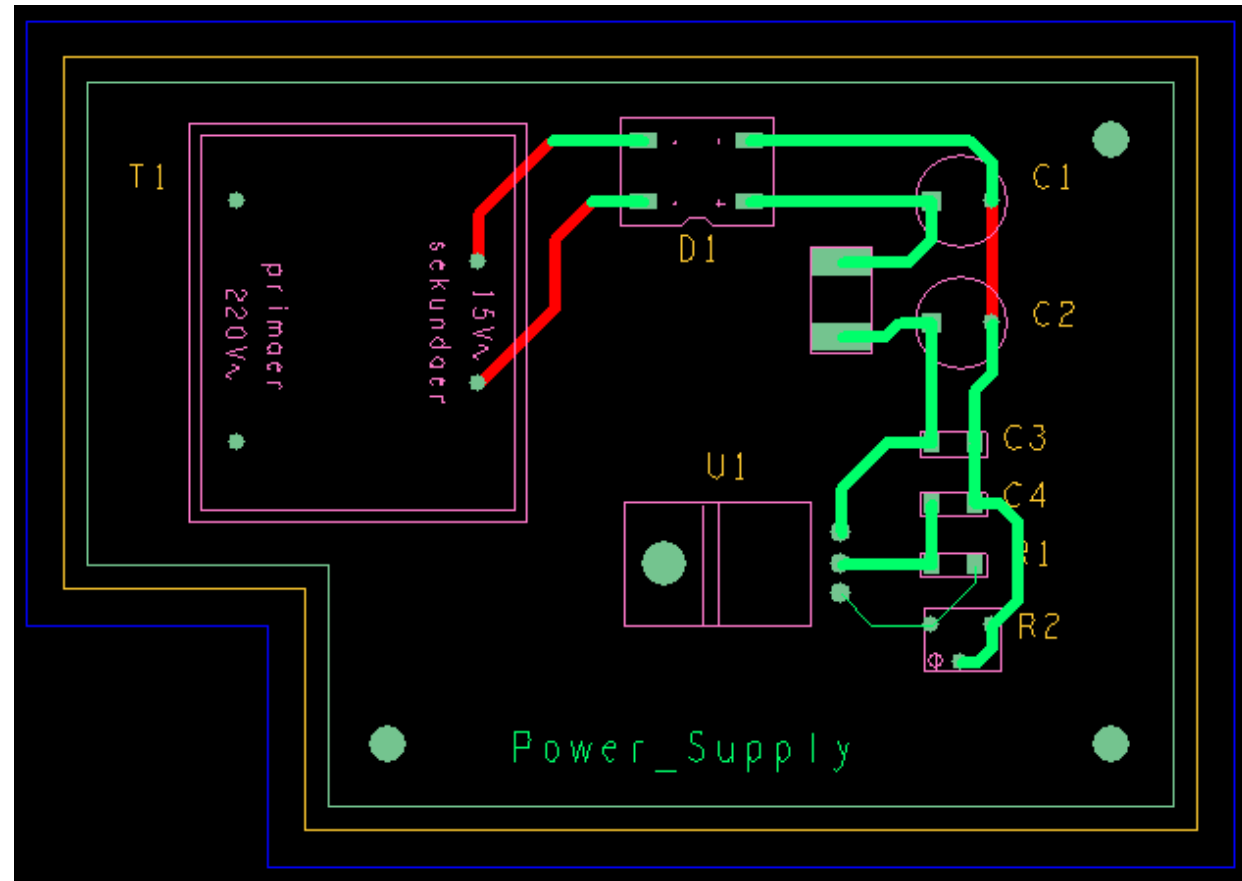
1. Laden Sie das **placed.brd** der vorherigen Übung und nutzen Sie die erworbenen Kenntnisse, um entsprechend der Vorlage Ihr eigenes Design zu vervollständigen.

Grün ist Top
Rot ist Bottom

2. Platzieren Sie den Text „**Power_Supply**“ auf der Top-Lage.
3. Speichern Sie das fertig geroutete Board unter **routed.brd**.



Netznamen können wahlweise eingeblendet werden unter Setup – Design Parameters – Design – Display Net Names.



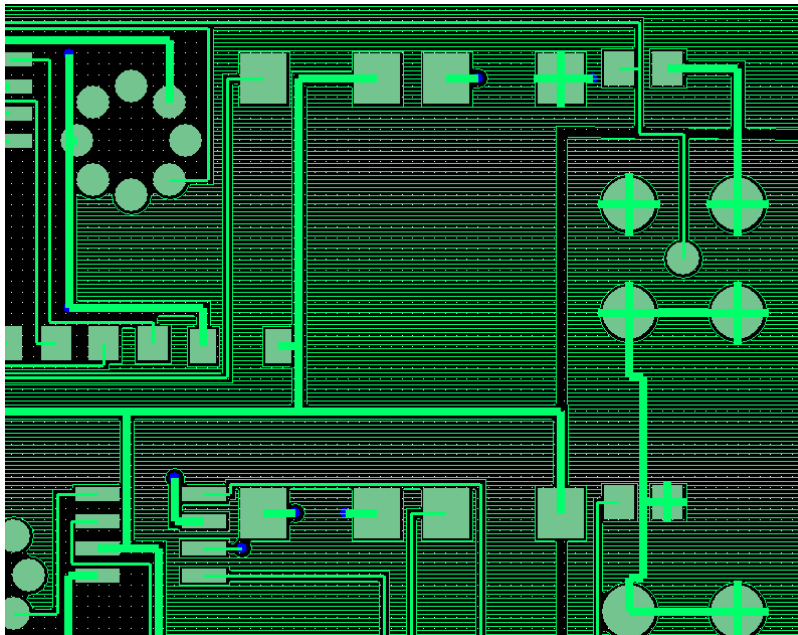
Shapes

Kupferflächen (Shapes)

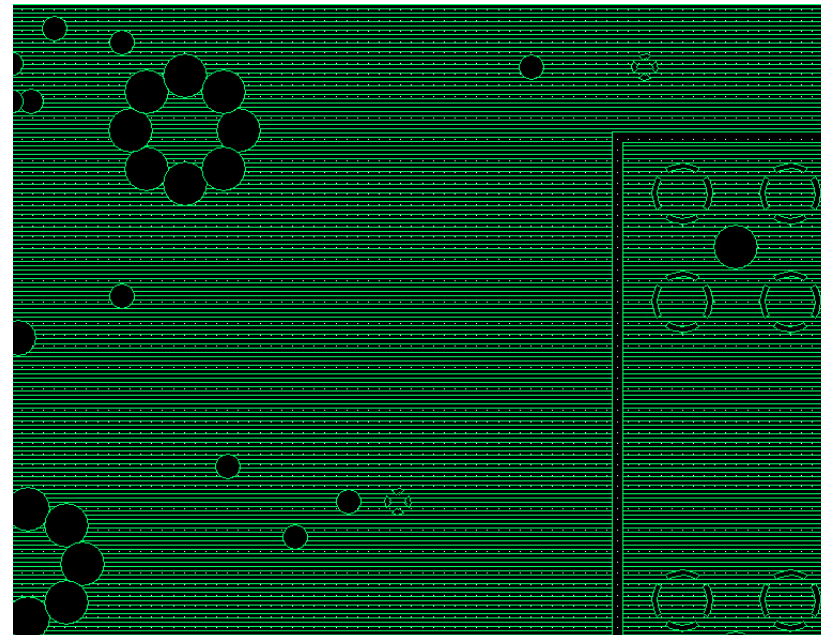
Im Rahmen von EMV und auch bei größeren Strömen, gerade im Analogbereich, haben Kupferflächen, im folgenden Shapes genannt, eine große Bedeutung.

PCB Editor beherrscht sowohl positive Shapes (Signal- und Planelagen), als auch negative Shapes (Multilayer Power-Planes), einschließlich der zugehörigen Design Rule Checks (Kurzschlüsse, offene Verbindungen).

Positive Kupferfläche



Negative Split Plane



Tipp:

Die Darstellung der Kupferfläche als Schraffur ist nur eine Frage der Settings. Eine vollflächige Darstellung ist natürlich ebenso möglich.

Positive / Negative Planes

Auf der vorigen Seite sprachen wir von positiver und negativer Shape. Was ist eigentlich der Unterschied?

Der wesentliche Unterschied besteht in der Verwendung. Eine negative Shape findet nur als sogenannte Powerplane in Multilayer-Boards Verwendung. Diese kann zwar eine Splitplane darstellen (mehrere Potenziale auf einer Lage), kann aber keine Routingsignale enthalten. Eine positive Shape kann sowohl eine reine Powerplane (auch Splitplane) sein, als auch eine Shape, die von Leiterbahnen durchzogen ist (vergleiche Abbildungen vorige Seite links).

Vorteile

- Positive Plane:**
- Flexible Handhabung (z.B. zusätzliche Parameter für Spacing, Anschlussart, etc.)
 - WYSIWYG (what you see is what you get)
- Negative Plane:**
- Sehr schnell, da keine Neuberechnung nach Änderungen nötig. Info zu Thermal und Antipads ist in den Padstacks enthalten.

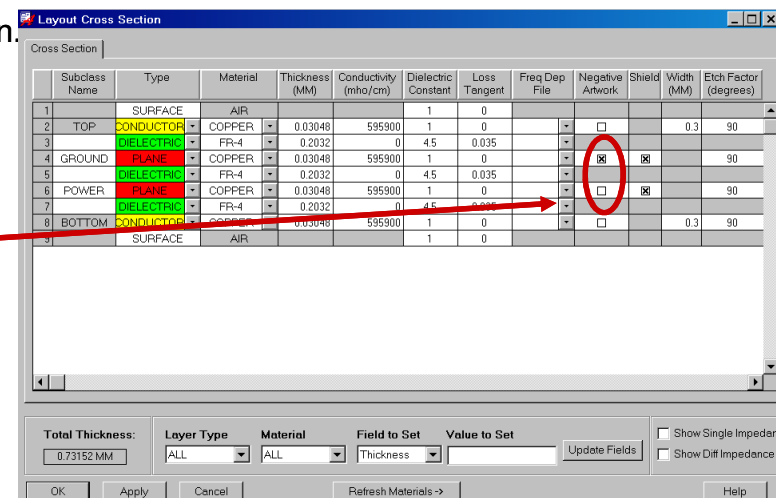
Nachteile

- automatische Neuberechnung nach Änderungen
- rechenintensiv da häufig große Datenmenge
- unflexible Handhabung da Spacings in den Padstacks definiert sind

Die Definition einer Positiv/Negativ Plane erfolgt im LayerStackUp unter **Setup > Subclasses... > Etch Negative Artwork**

Der Layer Type Plane erlaubt Positiv und Negativ. Es ist jederzeit ein Wechsel des Typs möglich

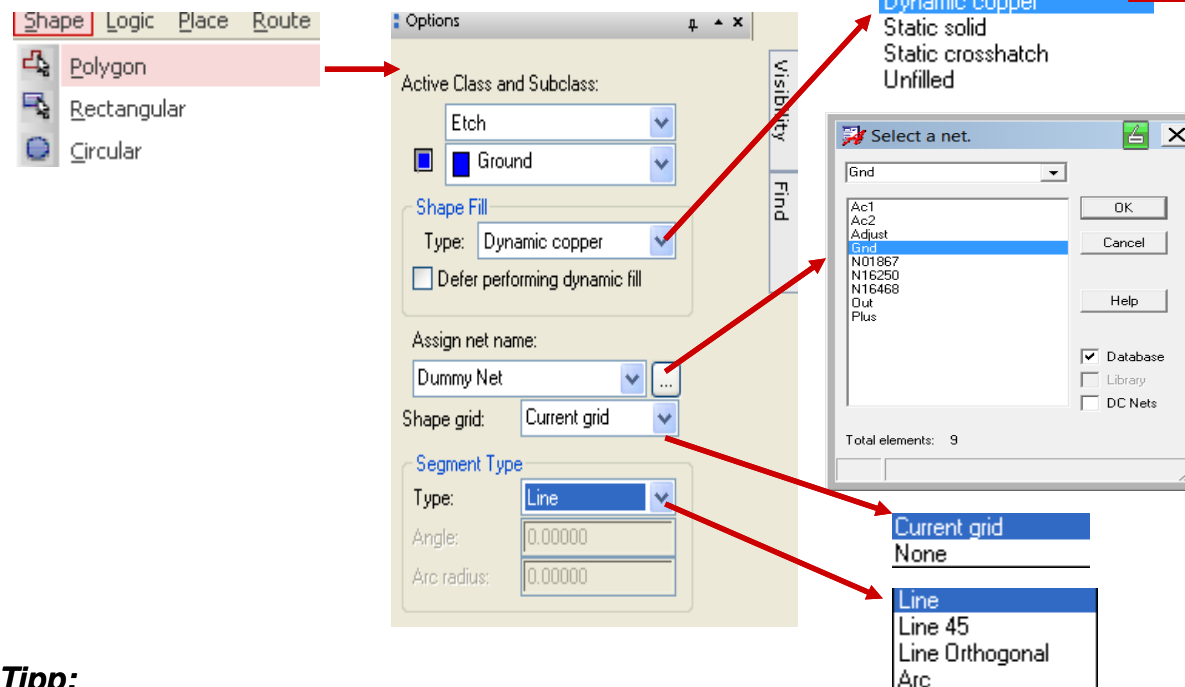
Der Layer Type Conductor ist nur Positiv sinnvoll, da hier auch ein Routing möglich sein soll.



Positive / Negative Planes

Egal, ob eine positive oder negative Plane erstellt werden soll, der Vorgang ist in beiden Fällen identisch.

Das Pull Down Menü „Shape“ bietet drei Möglichkeiten:



Sie haben die Wahl zwischen 2 Shape Typen, **Dynamic** und **Static** Shape.

Nach der Definition der Außenkontur erfolgt bei der **Dynamischen Shape** ein automatisches Freisparen der betreffenden Elemente, auch nach jeder weiteren Änderung, während bei der **Statischen Shape** dieser Vorgang separat durchgeführt werden muss.

Statische Shapes finden häufig bei HF-Anwendungen Verwendung, wo Sie detailliert festlegen wollen wann und was, wie frei gespart werden soll.

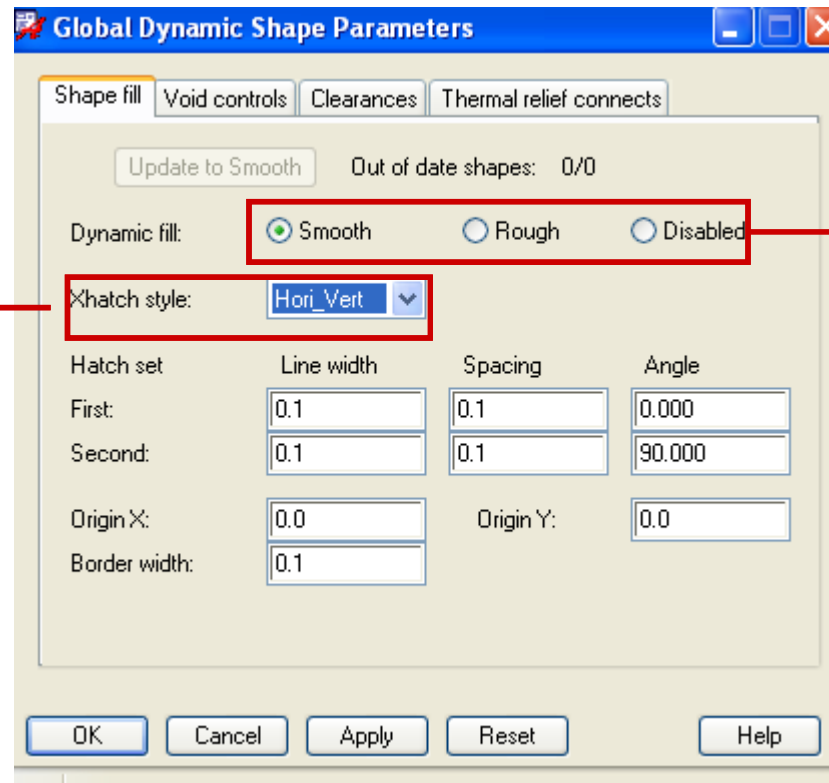
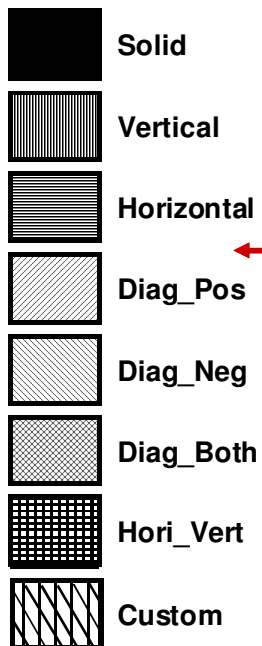
Tip:

Bitte überprüfen Sie vor Beginn der Shape Generierung folgende Punkte:

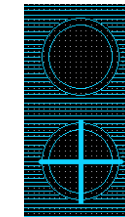
- **Global Dynamic Parameter** (siehe folgende Seiten)
- **aktive Lage**
- **gewählten Netznamen**

Global Dynamic Parameters – Shape Fill –

Shape > Global Dynamic Parameters

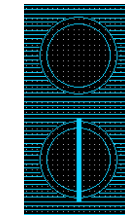


Smooth



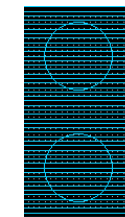
Nur **Smooth** erlaubt eine spätere Gerberausgabe.

Rough



Mit **Rough** und **Disabled** kann die Performance während der Arbeit erhöht werden, insbesondere bei größeren Boards mit größeren Kupferflächen.

Disabled



Steuerung über:
Setup > Drawing Options... > Status

Tip:

Die unter **Setup > Global Dynamic Params...** gelten zunächst für alle neu erzeugten Shapes. Jeder einzelnen Shape können aber auch eigene Parameter zugewiesen werden.

Global Dynamic Parameters

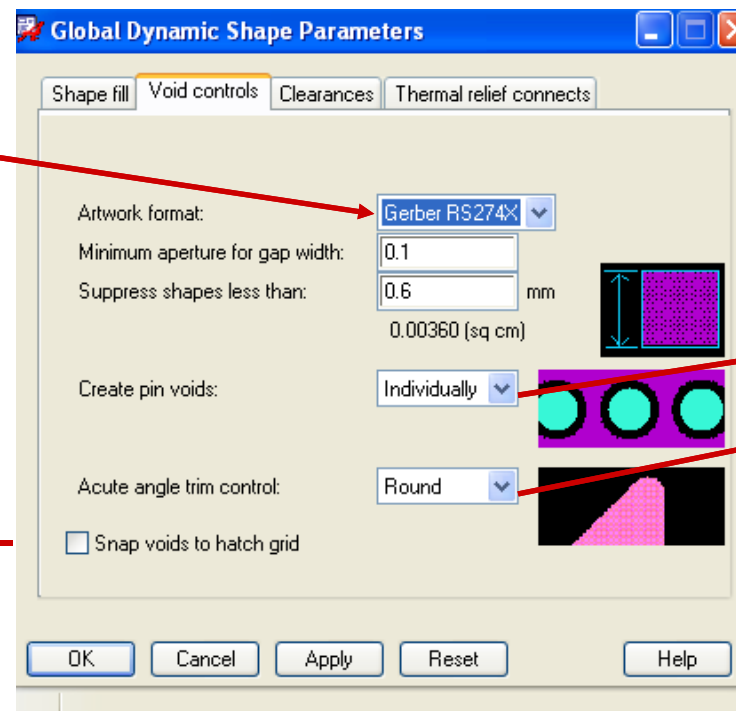
– Void Controls –

Setzen Sie das Gerberformat auf RS274X

Snap off



Snap on



Individually
In-line

Round
Chamfered

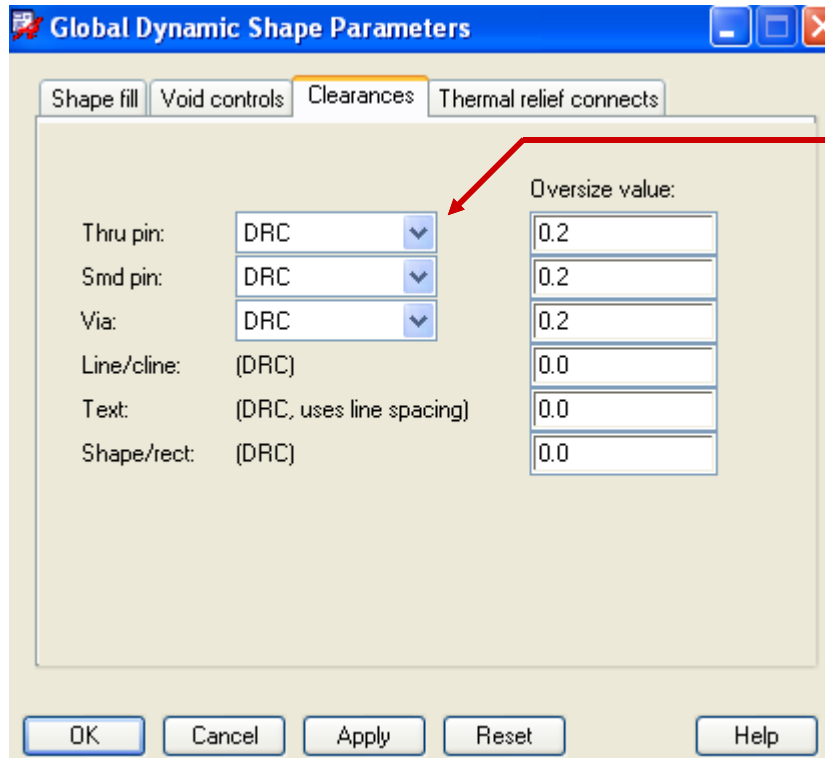


Hier werden die Art der Gerberausgabe (Format) und das Void Verhalten des Shape Prozesses festgelegt.

Tipp:

Generell gilt, dass allen Shapes auf einem Board immer das gleiche Format zugewiesen ist. Somit ist dieser Punkt von der individuellen Parametrisierung einer Shape ausgeschlossen.

Global Dynamic Parameters – Clearances –



Dieses Feld erlaubt ein Berücksichtigen der Padstackdefinitionen bei der Clearanceberechnung.

Default ist DRC

Layer	DRC	Relief	Anti Pad
TOP	Thermal/anti		Circle 1.9
GND	Circle 1.6	Flash	Circle 1.9
VCC	Circle 1.6	Flash	Circle 1.9
DEFAULT INTERNAL	Circle 1.6	Flash	Circle 1.9
BOTTOM	Circle 1.6	Circle 2.0	Circle 1.9
SOLDERMASK_TOP	Circle 1.8	N/A	N/A
SOLDERMASK_BOTTOM	Circle 1.8	N/A	N/A

Über dieses Menü können den allgemein gültigen DRC-Regeln „**Shape zu ...**“ sogenannte Oversize Werte hinzugefügt werden, falls erforderlich.

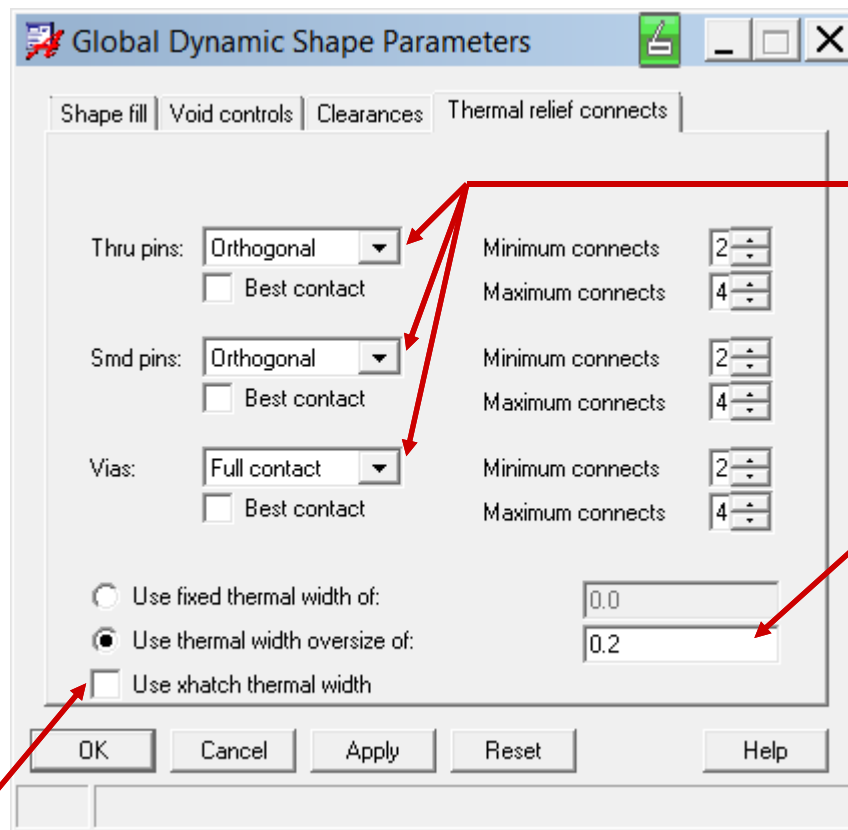
Tipp:

Es können auch einzelne Pins mit Properties versehen werden, um ein gezieltes Verhalten zu erreichen.

Näheres hierzu siehe Doku.

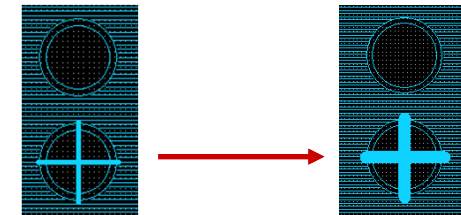
Global Dynamic Parameters – Thermal Relief Connects –

Hier wird definiert, wie die Thermalanschlüsse ausgeführt werden. Es können separate Definitionen für **Thru Pins**, **Smd Pins** und **Vias** getroffen werden.




Orthogonal
Diagonal
Full contact
8 way connect
None

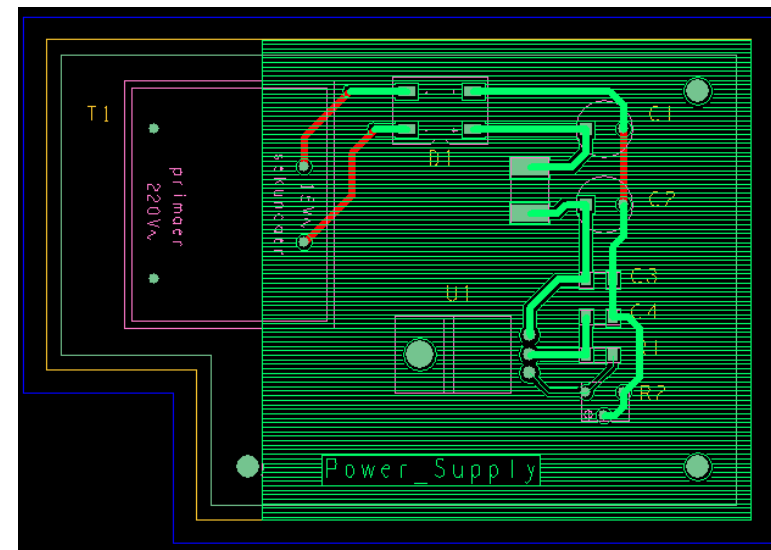
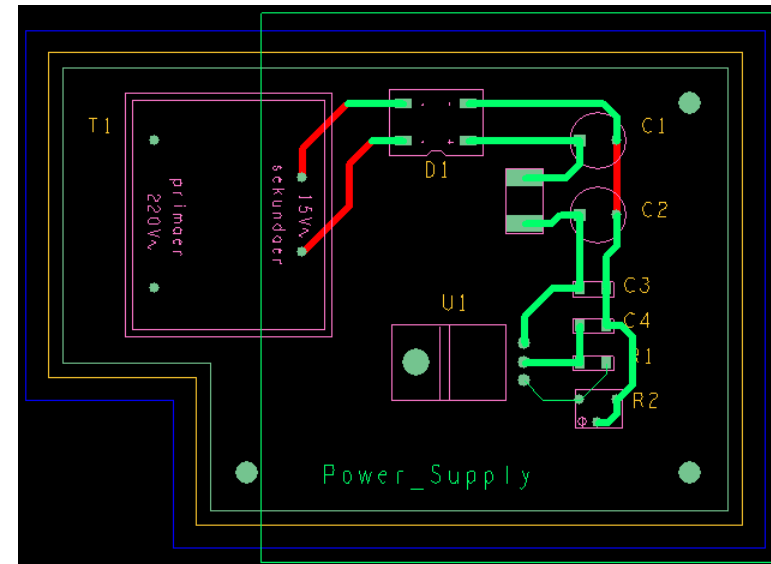
Dieser Wert erlaubt ein Vergrößern der Thermalanschlüsse entgegen der ursprünglichen Vorgabe in den Design Regeln.



Shapes, die als Xhatch gefüllt sind, können die angegebene Xhatch-Line- Width (siehe S.124) auch als Thermalanschlussbreite verwenden

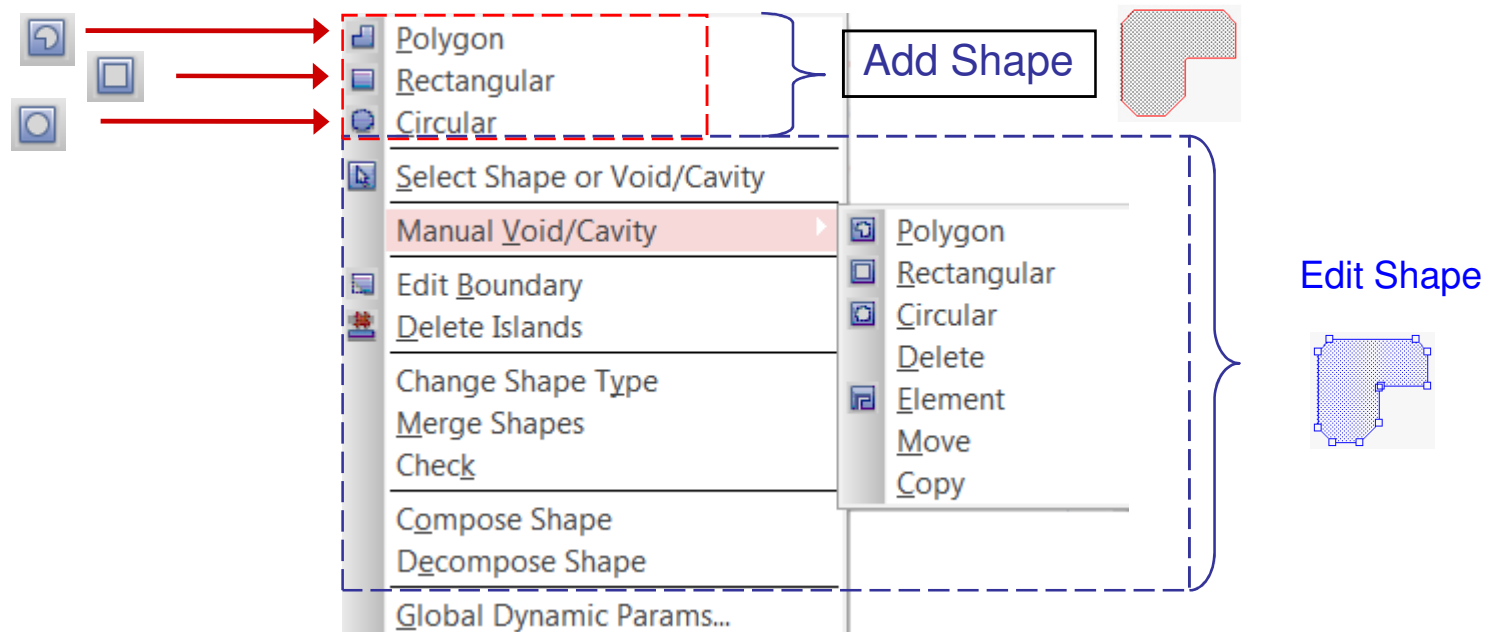
Übung: Shape Generierung Beispiel

1. Laden Sie das Board *routed.brd*.
 2. Setzen Sie das Gerberformat unter **Shape > Global Dynamics Parameters... > Void controls auf RS274X**
 3. Wählen Sie **Shape > Rectangle**.
 4. Schalten Sie Ground-Lage sichtbar (*Visibility*)
 5. Setzen Sie **Class** und **Subclass** auf **Etch / GND**.
 6. Setzen Sie den **Fill Type** auf **Dynamic**.
 7. Weisen Sie der Shape den Netznamen **GND** zu. Nutzen Sie hierzu den Browser  im Option Panel.
 8. Klicken Sie **RMB** um die lokalen Shape Parameter zu definieren. Nur bei positiver Shape sinnvoll.
 9. Ziehen Sie ein Rechteck (2x Klick mit LMB) über den rechten Teil des Boards entsprechend der Vorlage.
 10. Beenden Sie mit **RMB** und Done.
 11. Beachten Sie, dass die Shapekontur von der **Route Keepin** (gelbe Linie) begrenzt wird, und diese auch gleichzeitig eine neue Shapekontur definiert.
 12. Wiederholen Sie den selben Ablauf für die Top-Lage.
 13. Wählen Sie **Edit > Move** mit Filter auf Shape und verschieben Sie die Shape.
- Beachten Sie, dass die einmal erzeugte Shapekontur im Hintergrund immer erhalten bleibt.



Editieren einer Shape

Aufruf über das Pull Down Menü unter **Shape** >



Tip:

Achten Sie beim Editieren einer Shape immer darauf, dass Sie die richtige Lage im Option Fenster eingestellt haben.

Sie können einer Shape jederzeit, wenn erforderlich, ein anderes Netz zuweisen.

Reports und Design Rule Check

Missing Connections

Bevor Sie zur Ausgabe der Fertigungsdaten (Post Prozess) übergehen, sollte das Design generell auf noch fehlende Verbindungen und Verletzung von vorgegebenen Design Regeln überprüft werden.

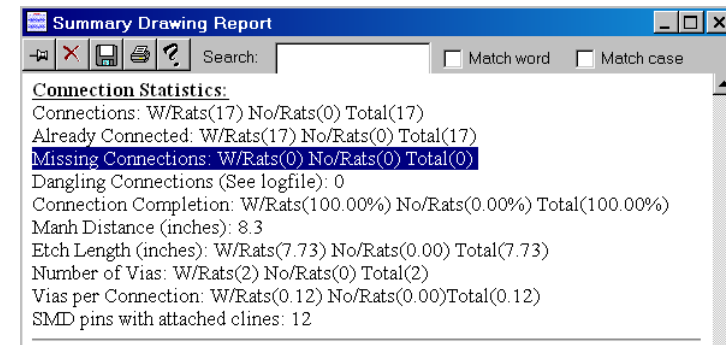
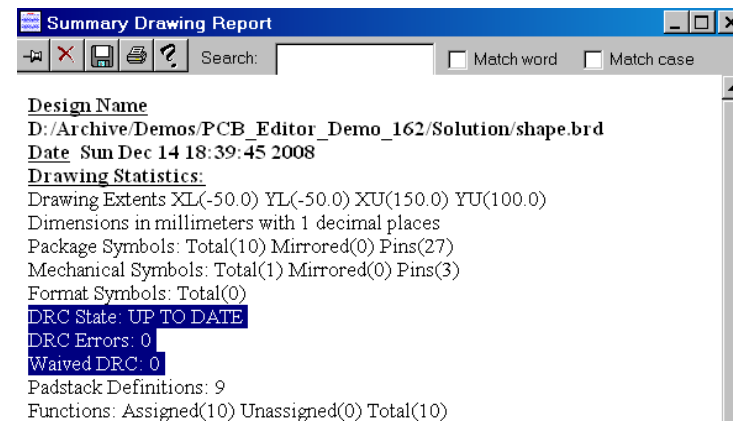
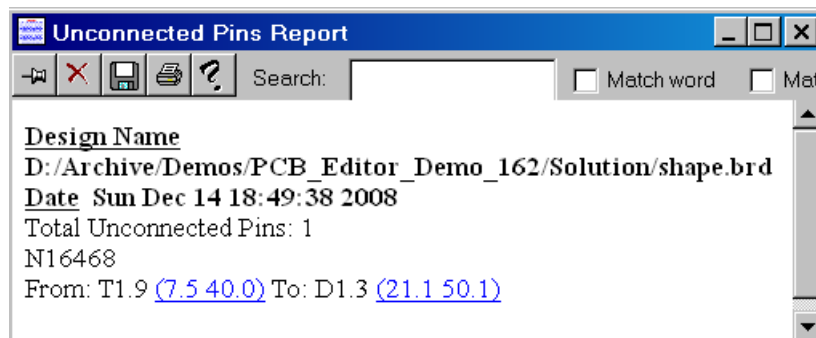
Der einfachste und schnellste Weg ist die Ausgabe des Summary Drawing Reports. Er gibt Auskunft über den aktuellen DRC-Status und evtl. fehlende Verbindungen.

Tools > Quick Reports > Summary Drawing Report

Wenn Sie genauere Angaben über vorhandene fehlende Verbindungen haben wollen, dann sollten Sie den Report

Unconnected Pins Report ausführen.

Über die als Link aufgeführten offenen Verbindungen können Sie sehr leicht zu den Stellen im jeweiligen Layout navigieren. Sie brauchen diese einfach nur anklicken.



Design Rule Check

Der Design Rule Check – Überprüfung auf Designregel Verletzungen – erfolgt am Besten über den Constraint Manager.

Wählen Sie im CM die Rubrik DRC und dort dann z.B. Spacing oder Physical.

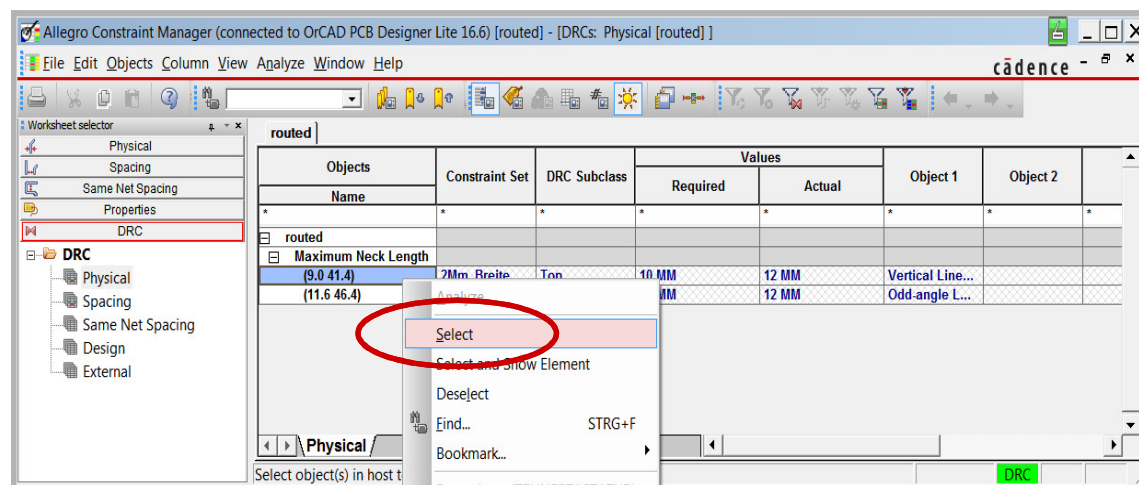
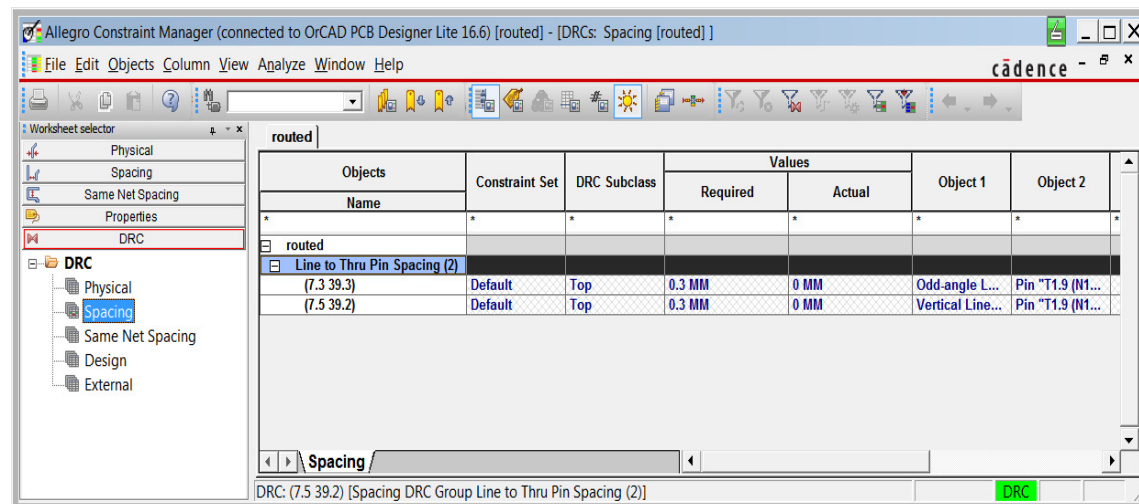
Im nebenstehenden Beispiel sind drei Fehler dargestellt.

Selektieren Sie einen DRC, und dann **RMB > Select**.

Im parallel geöffneten PCB Editor wird der zugehörige DRC automatisch hervor gehoben und in diesen Bereich gezoomt.

Tipp:

Eine andere Alternative ist natürlich die Anzeige der DRCs durch die „Schmetterlinge“ und deren Abfrage über **Display > Elements** (Option DRC). Hierbei werden im **Show Elements** Fenster die verletzten Regeln aufgelistet.



Display Status

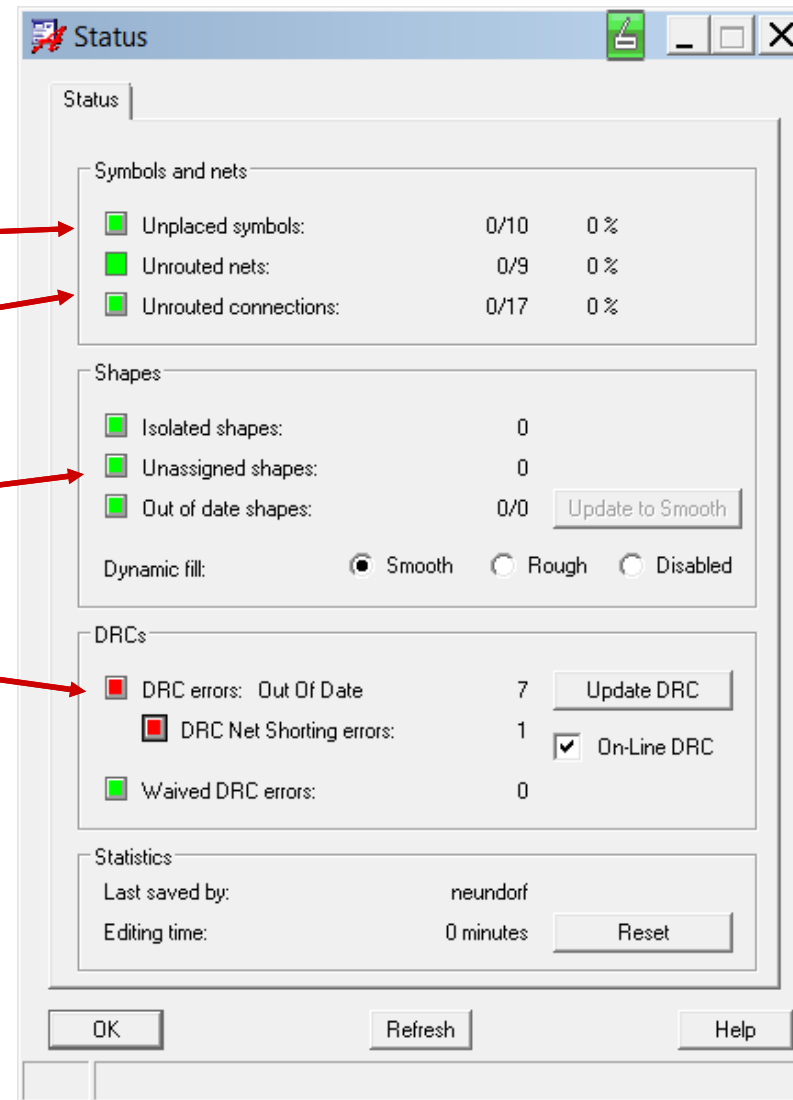
Über das Pop Up Menü Display Status erhalten Sie einen schnellen Überblick.

Sind alle Bauteile platziert.

Sind alle Netze gerouted.

Sind alle Shapes aktuell und fehlerfrei.

Ist der DRC Check aktuell und wie viele Fehler sind vorhanden

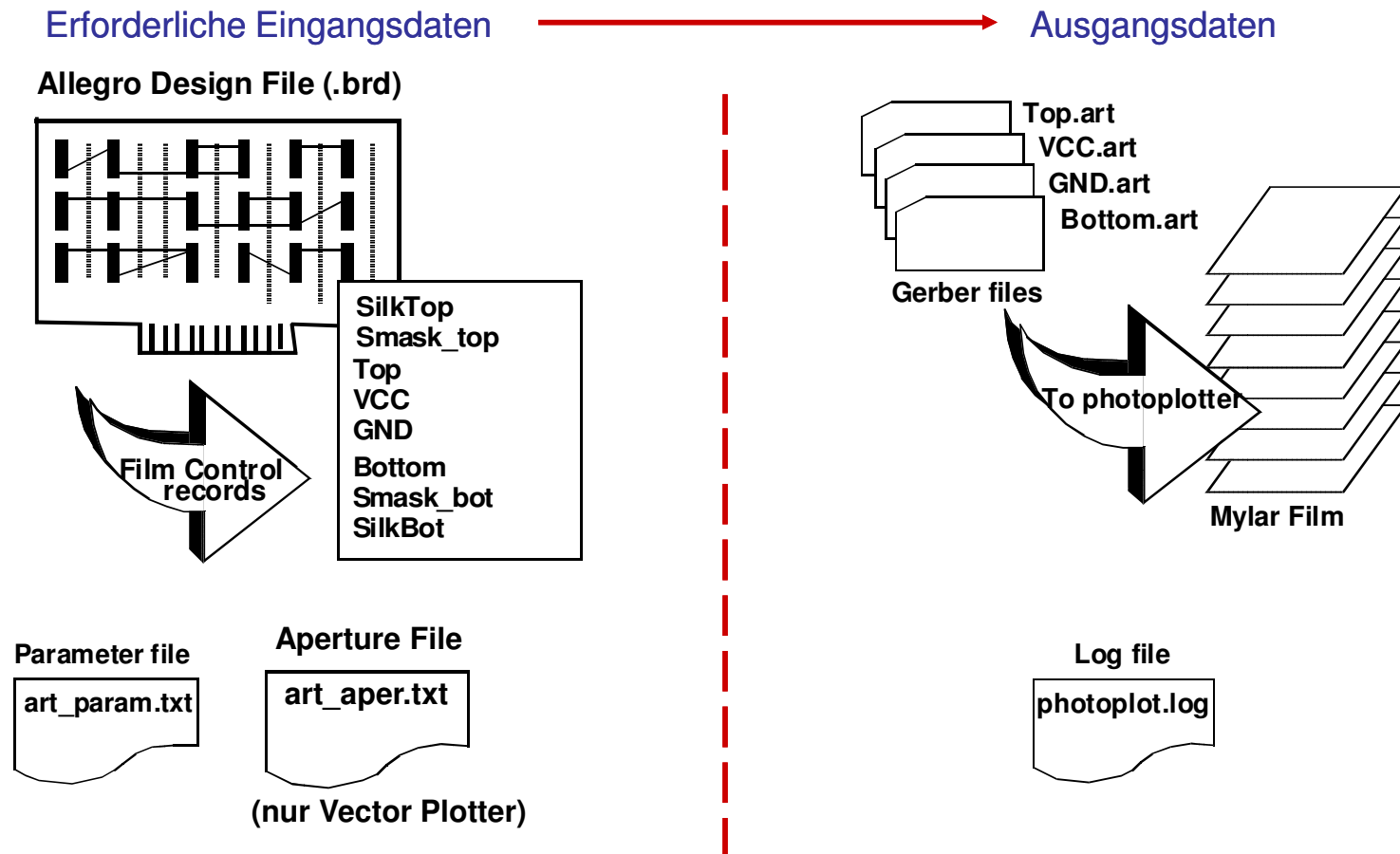


Post Process

Fertigungsausgabe

Die Ausgabe der Fertigungsdaten erfolgt in zwei Teilen: Gerberausgabe (Artwork) und Bohrfile (NC-Drill)

Bei der Gerberausgabe, auch Artwork genannt, wird die gesamte Datenbasis (xxx.brd) in einzelnen Lagen zerlegt und in Form einzelner Fertigungsfilme ausgegeben.



Übung: Artwork - Parameter

Manufacture > Artwork

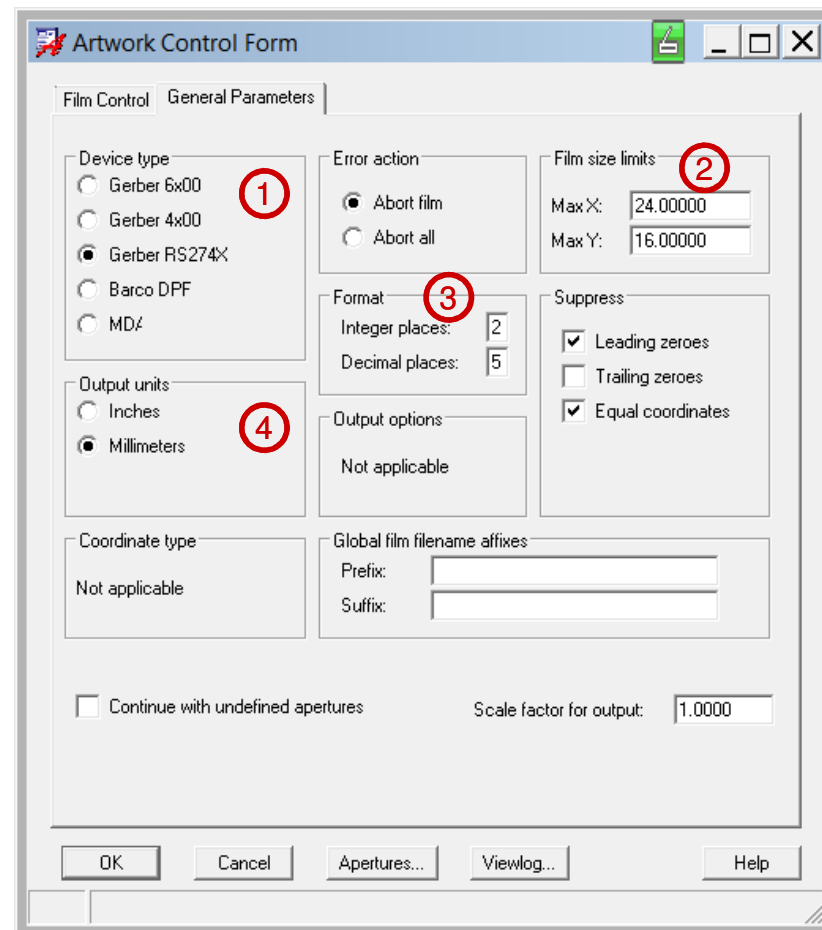
Vor Beginn der Ausgabe setzen wir die Artwork Parameter wie dargestellt. Die Einstellmöglichkeiten sind recht vielfältig:

Wir wollen hier nur die wichtigsten erläutern:

1. **Devicetype:** (Photoplotter Modell)
Gerber 6x00 / 4x00 Vector Photoplotter (veraltet)
Gerber RS274X – Extended Gerber
Barco DPF, MDA Laser Photoplotter
2. **Film size limits:** (verfügbare Plotfläche)
3. **Format:** Integer / Dezimal places
Vorkomma / Nachkommastellen
4. **Output Units:** Inches / Millimeters


Tipp:

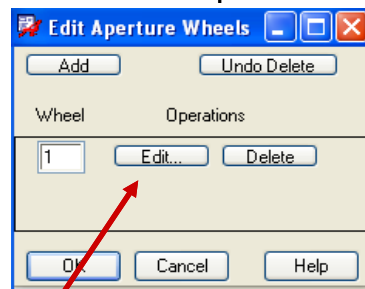
- Nutzen Sie möglichst Extended Gerber RS274X
- Möglichst gleiche Units in Board und Ausgabe
- Nicht zu niedrige Auflösung (Nachkommastellen)



Übung: Artwork - Apertures

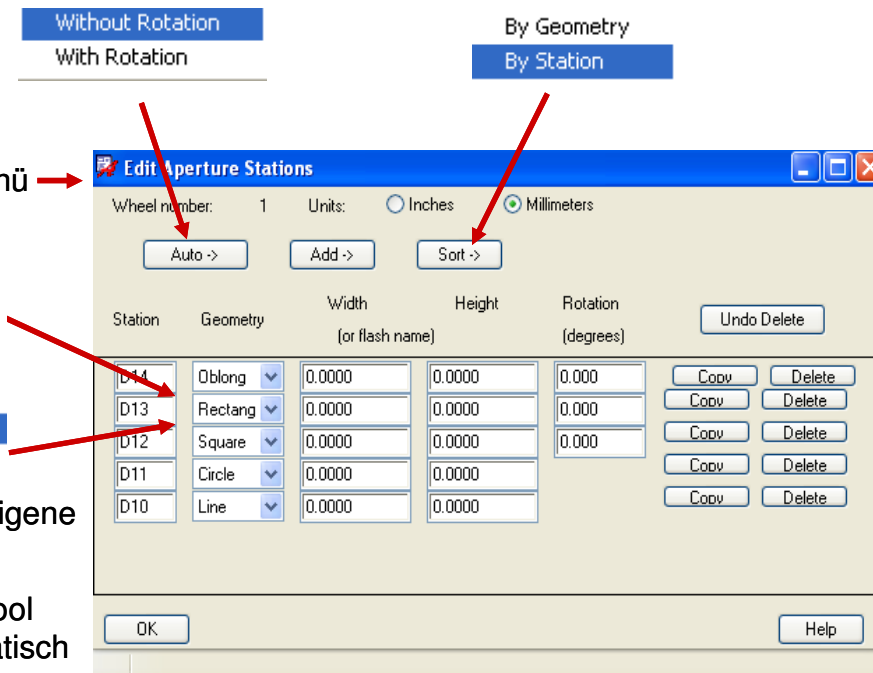
Wenn Sie Standard Gerber verwenden, dann benötigen Sie zusätzlich eine Blendentabelle (Aperture-File).
Diese können Sie mit Hilfe des Systems automatisch erstellen.

1. Klicken Sie in der Artwork Control Form > General Parameters auf  (unten).
2. Es öffnet sich die Edit Aperture Wheels Form



3. Mit  gelangen Sie in das Hauptmenü →

Line
Circle
Square
Rectangle
Oblong
Flash



4. Hier haben Sie über **Add** die Möglichkeit, eigene Blenden zu definieren, wenn erforderlich.
5. Über **Auto** können Sie es allerdings dem Tool überlassen, die benötigten Blenden automatisch zu generieren.

Artwork Film Control

Im **Film Control Panel** müssen alle Filmrecords definiert werden, die zur Ausgabe benötigt werden.

Per Default erscheinen hier bereits alle , die unter **Setup > Subclasses... > Etch** definiert wurden. Zusätzliche Filmrecords wie Soldermask_Top, Asembly_Top usw. müssen selbst definiert werden.

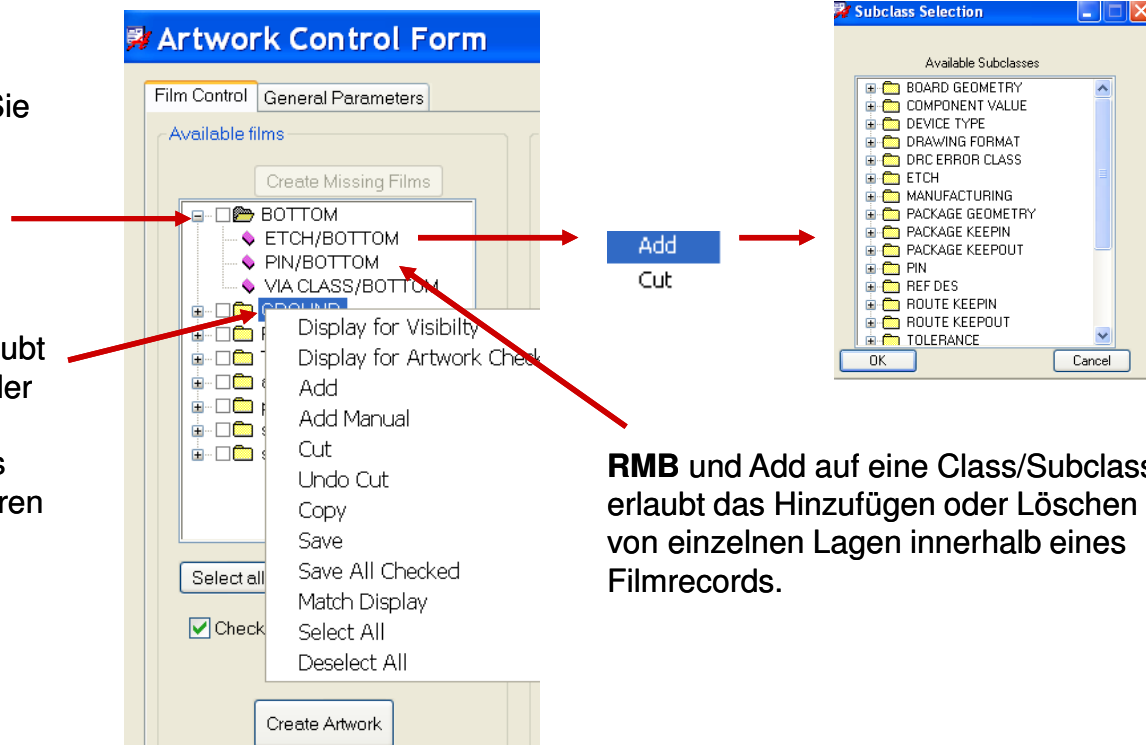
Mit einem Klick auf + können Sie feststellen, welche einzelnen Lagen dem betreffenden Filmrecord zugewiesen sind.

RMB auf einen Filmrecord erlaubt das Hinzufügen, Bearbeiten oder Löschen einzelner Filmrecords oder auch das Speichern eines ganzen Record-Sets zur späteren Wiederverwendung (**Add**, **Replace**).

Tipp:

Wenden Sie **RMB > Display for Visibility** auf einen Filmrecord an, um nur die hier definierten Lagen sofort in der Arbeitsfläche sichtbar zu schalten.

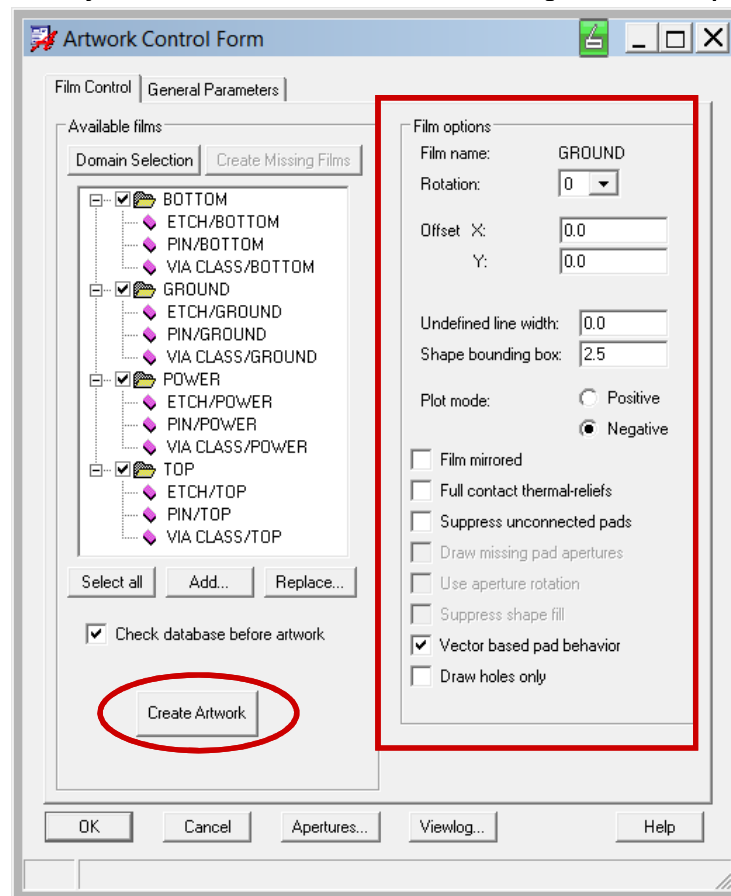
Wenden Sie **RMB > Match Display** auf einen Filmrecord an um nur die in der Arbeitsfläche dargestellten Lagen in den Filmrecord zu übernehmen.



RMB und Add auf eine Class/Subclass erlaubt das Hinzufügen oder Löschen von einzelnen Lagen innerhalb eines Filmrecords.

Artwork Film Options

Für jeden Filmrecord werden die eingestellten Optionen separat abgespeichert.



Create Artwork generiert nur Artworks für Filmrecords die selektiert wurden.

Filename: zeigt den Namen des Filmrecords

Rotation: Filmdrehung, üblicherweise 0

Offset: x/y-Verschiebung der Ausgabedaten

Undefined line width:

Photoplotbreite für Linien mit Breite „0“

Shape bounding box: Referenziert nur auf negative planes. Die Kupferfläche wird von der LP-Kontur um den eingetragenen Wert zurückgesetzt (Kurzschlussgefahr).

Plotmode: Negative nur bei negative Plane üblich.

Film mirrored: normal nicht benutzt (LP-Hersteller)

Full contact...: Unterdrückung von Thermalanschlüssen auf Kupferflächen

Supress...: Lötäugenunterdrückung (nur Innenlagen)

Draw missing...: Emulieren fehlender Blenden

Use Aperture rotation: entsprechend Blendentabelleninfo

Supress shape fill: kein Füllen von Kupferflächen

Vector based...: Laserplotterverhalten ähnlich dem Vektorplotter bei Blitzblenden

Draw holes only: Shapes in Bohrungs-Größe werden erzeugt sobald nur Pins und/oder Vias im Film zugewiesen sind.

NC-Drill - Legende

NC Drill stellt den zweiten Teil der Fertigungsausgabe dar. Der Aufruf erfolgt über **Manufacture > NC > NC Drill**.

Zuvor wird i.d.R. noch ein Bohrplan mit Legende für die Doku erstellt.

Manufacture > NC > Drill Legend

Drill/Slot hole

Hole type: Circle Drill
Plating: Plated
Drill diameter: 38
Tolerance: + 0 - 0
Offset X: 0
Offset Y: 0
Non-standard drill:

Drill/Slot symbol

Figure: Circle
Characters: A
Width: 60
Height: 60

Top view

Titel der Legende und Lagenkombination

DRILL CHART: TOP to BOTTOM			
ALL UNITS ARE IN MILS			
FIGURE	SIZE	PLATED	QTY
•	13.0	PLATED	506
◊	31.0	PLATED	12
+	38.0	PLATED	122
△	75.0	PLATED	8
□	110.0	NON-PLATED	5

Auszug Padstack Editor

Drill Legend

Template file: default-mm.dlt

Drill legend title: DRILL CHART: \$lay_nams\$

Output unit: Mils

Hole sorting method:

By hole size: Ascending, Descending

By plating status: Plated first, Non-plated first

Legends: Layer pair, By layer

OK Cancel Help

Es gibt auch Template Files für um, mm, cm, mil und inch unter:
<install>share/pcb/text/nclegend

Drill-Symbol für jeden Bohrdurchmesser

Bohrdurchmesser

Durchkontaktiert/nicht durchkont.

Bohrlochanzahl

Tipp:

Bei Blind und Burried Vias werden automatisch mehrere Drillcharts und Drill-files erzeugt.

Drill Customization

Manufacture > NC > Drill Customization

Benutzen Sie diese Form, um z.B. die Drillsymbole Ihren Wünschen anzupassen, oder falls in der Library nicht definiert, automatisch zu erzeugen.

#	Type	Size X	Size Y	+ Tolerance	- Tolerance	Symbol Figure	Symbol Characters	Symbol Size X	Symbol Size Y	Plating	Non-standard Drill	Quantity
1	Circle Drill	1.0		0.0	0.0	Circle	A	1.5	1.5	Plated		11
2	Circle Drill	1.4		0.0	0.0	Hexagon		1.7	1.7	Plated		3
3	Circle Drill	3.0		0.0	0.0	Circle		3.1	3.1	Plated		3
4	Circle Drill	3.8		0.0	0.0	Circle		3.8	3.8	Non-Plated		1

Validate Merge Reset to design Reset to library Auto generate symbols Write report file Total quantity: 18

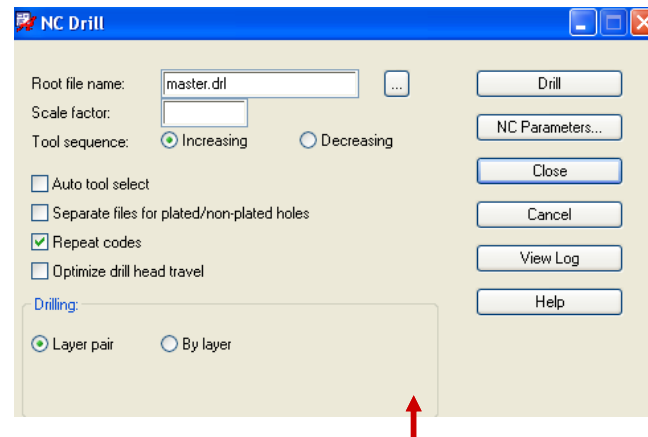
CSV HTML

OK Cancel Help Library drill report

Erzeugen des Bohrfiles

Mit der Erzeugung des Bohrfiles wird die vorliegende Anleitung abgeschlossen.

Manufacture > NC > NC Drill



Sowohl im Hauptfenster „NC Drill“ als auch im „Parameter Fenster“ haben Sie einige Möglichkeiten Ihre Borfileausgabe Ihrem Bedarf anzupassen.

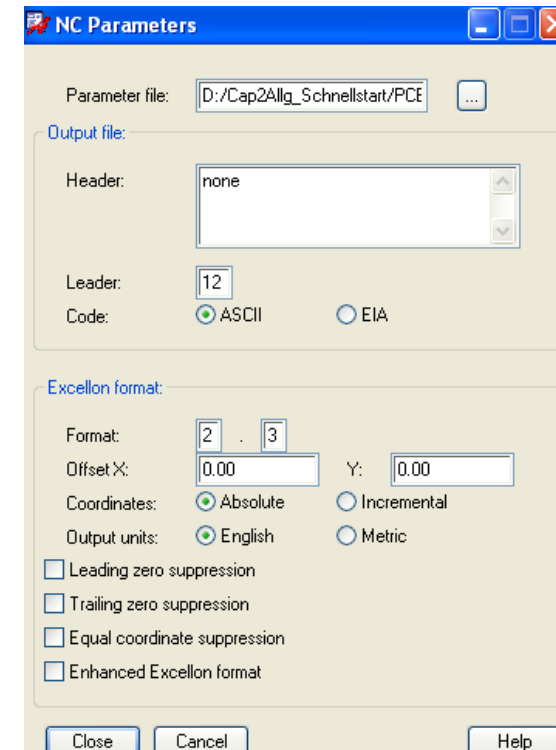
Auto tool select: erfordert einen extra File **nc_tools.txt** für automatischen Werkzeugwechsel der Bohrmaschine

Separate plated/nonplated: getrennte Files für durchkontaktierte und nicht durchkontaktierte Bohrungen.

Repeat Codes: sollte eingeschaltet bleiben

Optimize: Wegoptimierung beim Bohren

Nc_param.txt



Hier sind eigentlich nur noch **Format** und **Units** wirklich wichtig.

Unit im Board sollte möglichst mit Unit der Ausgabe identisch sein, wegen der Genauigkeit.

Abschlussbemerkungen

Wie bereits eingangs erwähnt, kann und soll diese Anleitung kein Training ersetzen.

Es sollte hier lediglich ein grundsätzlicher Einblick in die Funktionsvielfalt dieses Leiterplatten Entwicklungstools gegeben werden, der es ermöglicht, erste selbständige Schritte durchzuführen und dieses Tool zu beurteilen.

Unabhängig von dieser Einführung wird grundsätzlich ein Training empfohlen, um den vollen Umfang der Funktionalität ausschöpfen zu können und das Tool effektiv in der täglichen Arbeit einzusetzen.

Diese Trainings werden von Cadence bzw. FlowCAD regelmäßig angeboten. Näheres hierzu auf den Websites von Cadence und FlowCAD.

www.cadence.com

www.flowcad.de

**Vielen Dank
für Ihr Interesse**