

errupthalters bereit. Die niederwertigeren Bits dieses Pointers werden vom interruptanfordernden peripheren Element geliefert. Somit können zustungsfähige Interruptreaktionen erreicht werden (s. auch Abschn. 4.). (R). Dynamische Schreib-Lese-Speicher benötigen zum Datenerhalt ein rischen der in Kapazitäten gespeicherten Information durch Lesen aller cher in einem bestimmten Zeitabstand (meist 2 ms). Dadurch können dyna- r ebenso leicht eingesetzt werden wie statische. Das R-Register ist 7 bit breit jedem Holen einer Instruktion inkrementiert. Das R-Register kann daher M1-Zyklen ausgenutzt werden. Die Daten des Refreshzählers werden als er Adresse zusammen mit einem Refreshsteuersignal (RFSH) ausgesendet. m M1-Zyklus, während die CPU die eingeholte Instruktion dekodiert und Refreshmode ist vollständig für den Programmierer transparent und ver- e Systemgeschwindigkeit. Der Inhalt des Registers kann gelesen und durch halt gesetzt werden.

netik- und Logikeinheit (ALU)

hen und logischen Instruktionen mit einer Breite von 8 bit werden von der U ausgeführt. Innerhalb der CPU kommuniziert die ALU mit den Regi- externen Datenbus über den internen CPU-Datenbus. Die ALU kann funktionsarten ausführen:

- logisches AND
- logisches OR
- logisches XOR (exklusives OR)
- links und rechts Schieben (arithmetisch und logisch)
- links und rechts Rotieren (bit- und digitweise).

stdekoder und CPU-Steuerung

rd vom Speicher geholt, im Befehlsregister zwischengespeichert und im ert. Die CPU-Steuerung führt die gewünschte Funktion aus und erzeugt en Steuersignale. Damit werden das zeitrichtige Lesen und Schreiben der nach den Registern ermöglicht. Weiterhin wird die ALU gesteuert, und tigten Steuersignale werden geliefert.

und Adressbussteuerung

l Adressbussteuerung ermöglicht die Koordinierung des bidirektionalen tauschs. Dadurch wird vermieden, daß gleichzeitig mehrere Signalquellen ationsleitung kämpfen und u. U. Bauelementefekte auftreten.

erung der Anschlußbelegung

A₀ ... A₁₅ Address Bus (Ausgänge, tristate)

Der 16-bit-Adressbus der CPU stellt die Adressen für den Datenaustausch mit dem Speicher und den Ein-/Ausgabe-Einheiten bereit. Darüber hinaus wird über den Adressbus während der Refreshzyklen die Refreshadresse für dynamische RAM ausgesendet (A₀ ... A₆). Das Tristateverhalten der Adreßlinien gestattet die Busübernahme durch andere Einheiten im DMA-Betrieb. A₀ ist das niederwertigste Adreßbit.

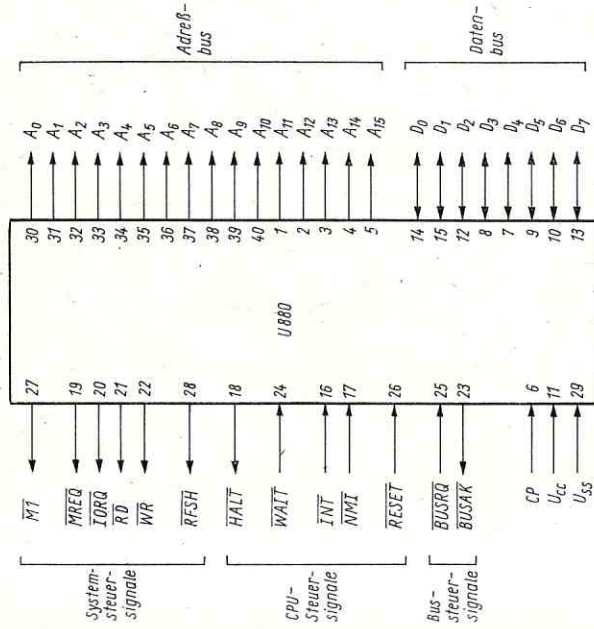


Bild 3.1.3 Schematische Anschlußbelegung der CPU

D₀ ... D₇ Data-Bus (bidirektional, tristate)

Der 8-bit-Datenbus der CPU dient dem eigentlichen Informationsaustausch zwischen Prozessor einerseits sowie dem Speicher und den Ein-/Ausgabe-Einheiten andererseits. Das Tristateverhalten ermöglicht ebenfalls eine Busübernahme im DMA-Betrieb. D₀ ist das niederwertigste Datenbit.

CP Clock Pulse (Eingang, 5-V-Pegel)

Der Systemtakt dient zur Synchronisation der meisten internen Abläufe der CPU U880. Er ist ein zeitsymmetrischer Einphasentakt.

RESET Reset (Eingang, L-aktiv)

Das RESET-Signal hat die Aufgabe, den Prozessor in einen Anfangszustand zu bringen. Es erfolgt ein Rücksetzen und eine Anfangsinitialisierung der CPU. Hierzu muß das Signal mindestens drei Taktzustände aktiv sein. Im einzelnen werden folgende Funktionen ausgeführt:

- Rücksetzen des Programmzählers auf 0000H
- Rücksetzen der Interruptfreigabefllops

Wird in einem Abwärtigen DII Gehäuse geliefert. Les. D:11.2.1.2. ist d.